

PATENT ABSTRACTS OF JAPAN

(11)Publication number : **2000-182373**

(43)Date of publication of application : **30.06.2000**

(51)Int.Cl. **G11C 11/407**

G11C 11/401

G11C 29/00

H01L 27/108

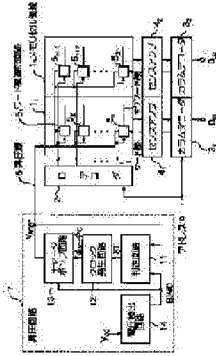
H01L 21/8242

H02M 3/07

(21)Application number : **10-356334** (71)Applicant : **NEC CORP**

(22)Date of filing : **15.12.1998** (72)Inventor : **TSUKADA SHUICHI**

(54) **CHARGE PUMP CIRCUIT, BOOSTING CIRCUIT, AND SEMICONDUCTOR
MEMORY DEVICE**



(57)Abstract:

PROBLEM TO BE SOLVED: To provide a charge pump circuit in which a transistor being a constitutional element is not destroyed by over voltage even at the time of a burn-in test a leakage current never be made to flow in a junction part of a transistor.

SOLUTION: In this charge pump circuit in which double voltage rectification is performed by a first clock, a second clock, and a third clock, the device is constituted so that the device has a leakage current suppressing circuit in which boosting voltage is outputted, the third clock is outputted with amplitude of boosting voltage is outputted at the time of normal operation, the third clock is outputted with amplitude being that of external power source voltage or less at the time of a burn-in test.

LEGAL STATUS

[Date of request for examination] 18.03.1999

[Date of sending the examiner's decision of rejection] 05.12.2001

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3293577

[Date of registration] 05.04.2002

[Number of appeal against examiner's decision of rejection] 2001-23193

[Date of requesting appeal against examiner's decision of rejection] 26.12.2001

[Date of extinction of right]

* NOTICES *

JPO and NCIPJ are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] The 1st capacitor for pressure up into which the 1st clock which consists of a predetermined period is inputted, The 2nd capacitor for pressure up into which the 2nd clock with which said 1st clock becomes high-level within the period of a low level is inputted, The 3rd capacitor for pressure up into which the 3rd clock with which said 1st clock becomes high-level within a high-level period is inputted, The output clock of said 1st capacitor for pressure up is inputted, and ON/OFF of is done according to the output clock of said 3rd capacitor for pressure up. The 1st transistor for outputting a pressure-up electrical potential difference higher than the external power electrical potential difference supplied from the outside, The output clock of said 2nd capacitor for pressure up is followed. ON / the 2nd transistor for turning off and carrying out bias of the output voltage of said 1st capacitor for pressure up on an external power electrical

potential difference, The output clock of said 2nd capacitor for pressure up is followed. ON / the 3rd transistor for turning off and carrying out bias of the output voltage of said 3rd capacitor for pressure up on an external power electrical potential difference, The output clock of said 3rd capacitor for pressure up is followed. ON / the 4th transistor for turning off and carrying out bias of the output voltage of said 2nd capacitor for pressure up on an external power electrical potential difference, **** and said 1st clock, said 2nd clock, and said 3rd clock perform double *****. It is the charge pump circuit which it is the charge pump circuit which outputs said pressure-up electrical potential difference, and said 3rd clock is outputted with the amplitude of said pressure-up electrical potential difference at the time of the usual actuation, and has the leakage current control circuit where said 3rd clock is outputted with the amplitude of said external power electrical potential difference at the time of a burn in test.

[Claim 2] Said leakage current control circuit is a charge pump circuit according to claim 1 which has the buffer circuit which changes and outputs said 3rd inputted clock to the amplitude equal to the supply voltage supplied, the 5th transistor which supplies said pressure-up electrical potential difference to said buffer circuit as said supply voltage at the time of the usual actuation, and the 6th transistor which supplies said external power electrical potential difference to said buffer circuit as said supply voltage at the time of a burn in test.

[Claim 3] The 1st capacitor for pressure up into which the 1st clock which consists of a predetermined period is inputted, The 2nd capacitor for pressure up into which the 2nd clock with which said 1st clock becomes high-level within the period of a low level is inputted, The 3rd capacitor for pressure up into which the 3rd clock with which said 1st clock becomes high-level within a high-level period is inputted, The output clock of said 1st capacitor for pressure up is inputted, and ON/OFF of is done according to the output clock of said 3rd capacitor for pressure up. The 1st transistor for outputting a pressure-up electrical potential difference higher than the external power electrical potential difference supplied from the outside, The output clock of said 2nd capacitor for pressure up is

followed. ON / the 2nd transistor for turning off and carrying out bias of the output voltage of said 1st capacitor for pressure up on an external power electrical potential difference, The output clock of said 2nd capacitor for pressure up is followed. ON / the 3rd transistor for turning off and carrying out bias of the output voltage of said 3rd capacitor for pressure up on an external power electrical potential difference, The output clock of said 3rd capacitor for pressure up is followed. ON / the 4th transistor for turning off and carrying out bias of the output voltage of said 2nd capacitor for pressure up on an external power electrical potential difference, **** and said 1st clock, said 2nd clock, and said 3rd clock perform double *****. Are the charge pump circuit which outputs said pressure-up electrical potential difference, and said 1st clock is outputted with the amplitude of said external power electrical potential difference at the time of the usual actuation. The 1st leakage current control circuit where said 1st clock is outputted with the predetermined amplitude lower than said external power electrical potential difference at the time of a burn in test, The 2nd leakage current control circuit where said 2nd clock is outputted with the amplitude of said external power electrical potential difference at the time of the usual actuation, and said 2nd clock is outputted with the predetermined amplitude lower than said external power electrical potential difference at the time of a burn in test, It is the charge pump circuit which said 3rd clock is outputted with the amplitude of said pressure-up electrical potential difference at the time of the usual actuation, and has the 3rd leakage current control circuit where said 3rd clock is outputted with the predetermined amplitude lower than said pressure-up electrical potential difference at the time of a burn in test.

[Claim 4] Said 1st leakage current control circuit, said 2nd leakage current control circuit, and the 3rd leakage current control circuit The inverter which carries out the reversal output of the inputted clock, and the gate circuit which stops actuation of the 5th transistor for outputting the low level of said inverter at the time of a burn in test, The charge pump circuit according to claim 3 which has the bias circuit which sets the output voltage of the low level of said inverter as a

predetermined electrical potential difference instead of said 5th transistor at the time of said burn in test, respectively.

[Claim 5] Said bias circuit is a charge pump circuit according to claim 4 which has two or more diodes connected to the serial, and the 6th transistor which operates instead of said 5th transistor in order to connect at said diode and serial and to set the output voltage of the low level of said inverter as a predetermined electrical potential difference.

[Claim 6] The 1st inverter which said 1st leakage current control circuit reverses the 1st inputted clock, and is outputted to said 1st capacitor for pressure up, The 1st gate circuit which outputs the output clock of this 1st inverter, and the clock of an inphase at the time of the usual actuation, and suspends the output of this clock at the time of a burn in test, It has the 4th capacitor for pressure up by which the end was connected to the output of said 1st gate circuit, and the other end was connected to the outgoing end of said 1st capacitor for pressure up.

Said 2nd leakage current control circuit The 2nd inverter which reverses the 2nd inputted clock and is outputted to said 2nd capacitor for pressure up, The 2nd gate circuit which outputs the output clock of this 2nd inverter, and the clock of an inphase at the time of the usual actuation, and suspends the output of this clock at the time of a burn in test, It has the 5th capacitor for pressure up by which the end was connected to the output of said 2nd gate circuit, and the other end was connected to the outgoing end of said 2nd capacitor for pressure up. Said 3rd leakage current control circuit The 3rd inverter which reverses the 3rd inputted clock and is outputted to said 3rd capacitor for pressure up, The 3rd gate circuit which outputs the output clock of this 3rd inverter, and the clock of an inphase at the time of the usual actuation, and suspends the output of this clock at the time of a burn in test, The charge pump circuit according to claim 3 which has the 6th capacitor for pressure up by which the end was connected to the output of said 3rd gate circuit, and the other end was connected to the outgoing end of said 3rd capacitor for pressure up.

[Claim 7] Claim 1 thru/or the charge pump circuit of six given in any 1 term, and

the clock generation circuit that generates said 1st clock, said 2nd clock, and said 3rd clock, and is outputted to said charge pump circuit, respectively, The predetermined programmed voltage generated based on reference voltage is compared with said pressure-up electrical potential difference. The signal for stopping the oscillation of said clock generation circuit as a status signal, if said pressure-up electrical potential difference is larger than this programmed voltage is transmitted. The judgment circuit which will transmit the signal for making a clock generation circuit continue an oscillation as a status signal if said pressure-up electrical potential difference is this below programmed voltage, The booster circuit which has the electrical-potential-difference detector which outputs the burn-in mode signal which directs a change in the mode corresponding to a burn in test when the signal which detects the level of said external power electrical potential difference, and directs more than predetermined operating voltage or activation of a burn in test is inputted.

[Claim 8] The booster circuit which has the leakage current control means suppressed below to the leak starting potential of the transistor which constitutes said pressure-up control section for the maximum electrical potential difference produced in the pressure-up control section which outputs the switching signal of high tension to said pressure-up section, and said pressure-up control section from the pressure-up section which outputs the pressure-up electrical potential difference which carried out pressure up of the supply voltage, and said pressure-up electrical potential difference.

[Claim 9] Said leakage current control means is a booster circuit according to claim 8 where the rate [as opposed to / have the 1st mode of operation and 2nd mode of operation, and / the supply voltage of said switching signal at the time of said 2nd mode of operation] of a gain is smaller than the time of said 1st mode of operation.

[Claim 10] Said leakage current control means is a booster circuit according to claim 9 which makes said rate of a gain small by changing the supply voltage supplied to the logic gate which constitutes this leakage current control means.

[Claim 11] Said leakage current control means is a booster circuit according to claim 9 which makes said rate of a gain small by changing the amplitude of the clock supplied to this leakage current control means.

[Claim 12] Said leakage current control means has the 1st mode of operation and 2nd mode of operation, and is a booster circuit according to claim 8 where the loss ratio of said switching signal at the time of said 2nd mode of operation is larger than the time of said 1st mode of operation.

[Claim 13] Said leakage current control means is the booster circuit according to claim 12 which enlarged said loss ratio by carrying out the capacitive component rate of said switching signal.

[Claim 14] The pressure-up section which outputs the pressure-up electrical potential difference which carried out pressure up of the supply voltage, and the pressure-up control section which outputs the switching signal of high tension to said pressure-up section from said pressure-up electrical potential difference, A leakage current control means to hold down the maximum electrical potential difference produced in said pressure-up control section to below the leak starting potential of the 1st transistor which constitutes said pressure-up control section, The semiconductor memory with which it had the 2nd transistor which constitutes the memory section, and said the 1st transistor and said 2nd transistor were formed in the same semi-conductor substrate or the same well.

[Claim 15] The pressure-up section which outputs the pressure-up electrical potential difference which carried out pressure up of the supply voltage, and the pressure-up control section which outputs the switching signal of high tension to said pressure-up section from said pressure-up electrical potential difference, A leakage current control means to hold down the maximum electrical potential difference produced in said pressure-up control section to below the leak starting potential of the 1st transistor which constitutes said pressure-up control section, It is formed in a field. the 2nd transistor which constitutes the memory section -- having -- said 1st transistor -- the 1st well -- said 2nd transistor -- the 2nd well -- it forms in a field -- having -- said 1st well -- a field and said 2nd well -- a well with

the same field -- the semiconductor memory connected to the potential bias means.

[Translation done.]

* NOTICES *

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Field of the Invention] This invention relates to the booster circuit which generates the pressure-up electrical potential difference which impresses the external power electrical potential difference supplied from the outside especially to the word line of a semiconductor memory about the booster circuit which carries out pressure up.

[0002]

[Description of the Prior Art] With semiconductor integrated circuit equipments, such as a semiconductor memory in recent years, low-power-izing and the improvement in dependability of a component are in drawing by supplying pressure lowering or the internal circuitry which needs the internal electrical potential difference which carried out pressure up, and generated and generated the predetermined internal electrical potential difference by the internal electrical-

potential-difference generating circuit, not using the external power electrical potential difference VCC supplied from the outside as it is.

[0003] For example, when memory cells, such as DRAM (Dynamic Random Access memory), have a capacitor for storage, and a transistor for a switch and it uses an N-channel metal oxide semiconductor field-effect transistor (an NMOS transistor is called hereafter) as a transistor for a switch, the drain of a transistor is connected to a bit line, the gate is connected to a word line, and the source is grounded through the capacitor for storage. Unless it impresses an electrical potential difference only with the threshold electrical potential difference V_{TH} higher than source potential to the gate, it cannot be made to turn on here, since the transistor for a switch used for a memory cell has the threshold electrical potential difference V_{TH} . Usually, source potential needs to impress the above ($V_{CC} + V_{TH}$) electrical potential difference to the gate, in order to change between 0 V- V_{CC} , and to make the transistor for a switch turn on. A booster circuit is used in order to generate the pressure-up electrical potential difference impressed to the gate (word line) of the transistor for the switch of a memory cell in this way.

[0004] On the other hand, the inclination to fall with detailed-izing has pressure-proofing of the transistor used with a semiconductor integrated circuit in recent years. Therefore, although supply voltage must be lowered, in order to use the same power source as ICs, such as TTL (Transistor Transistor Logic), the external power electrical potential difference VCC supplied from the outside is left as it is, and the approach of lowering the pressure of the external power electrical potential difference VCC by the pressure-lowering power circuit prepared in the chip, and supplying to an internal circuitry is taken.

[0005] For example, when the external power electrical potential difference VCC is set to 5V, the pressure of the internal electrical power source electrical potential difference V_{INT} is lowered by the pressure-lowering power circuit 3.3V. In addition, the threshold electrical potential difference V_{TH} of a transistor does not carry out a scale down like supply voltage, even if size of a transistor is made

detailed.

[0006] By the way, after manufacture of a semiconductor integrated circuit, in order to remove initial failure, a burn in test is carried out. In a burn in test, an electrical potential difference higher than the usual external power electrical potential difference VCC is impressed to the semiconductor integrated circuit which is a test objective-ed. Moreover, in DRAM, in order to raise a charge maintenance property, bias of the substrate may be carried out to a negative electrical potential difference. In such a case, since the electrical potential difference adding a part for a pressure-up electrical potential difference and the bias to a substrate is impressed to the transistor used for a booster circuit, when the electrical potential difference exceeding junction pressure-proofing is impressed, it may result in destruction.

[0007] So, in JP,6-140889,A (the 1st conventional example is called hereafter), it had the clamping circuit which clamps a pressure-up electrical potential difference, and the clamp control means for changing the clamp voltage, and the semiconductor device which prevented junction destruction of the transistor in a booster circuit by changing clamp voltage in the time of normal operation and a burn in test is proposed.

[0008] Only when high tension is required (at for example, the time of memory access), a booster circuit is operated, when high tension is not required, the output of a booster circuit is connected to touch-down potential through a clamping circuit, and the electrical potential difference of the pressure-up line for supplying a pressure-up electrical potential difference is made in agreement with touch-down potential in the semiconductor device indicated by the 1st conventional example.

[0009] With such a configuration, since parasitic capacitance is in a pressure-up line, whenever memory access of the booster circuit is carried out, it needs to charge the parasitic capacitance of all pressure-up lines, and needs to discharge the charge accumulated in the parasitic capacitance of a pressure-up line for every access termination. Especially, in a semiconductor memory in recent years,

since it is in the inclination for a pressure-up line to become long with buildup of memory space, parasitic capacitance will become large and the consumed electric current of a booster circuit will increase.

[0010] Moreover, in order to make the charge accumulated in the parasitic capacitance of a pressure-up line discharge through a clamping circuit, the loss current by this clamping circuit also becomes the factor which makes the consumed electric current of a booster circuit increase. And since the output by which pressure up was carried out is constituted from a high transistor of current serviceability by the reason for the above, in a clamping circuit, a bigger loss current than the 2nd conventional example mentioned later will flow.

[0011] Furthermore, in order to operate a booster circuit and to charge a pressure-up line after that first, at the time of memory access, before the electrical potential difference of the word line connected with a pressure-up line reaches a predetermined value, time amount will be taken, and an informational R/W rate falls at it. What is necessary is just to enlarge capacity of the capacitor for pressure up compared with the parasitic capacitance of a pressure-up line, in order to make a pressure-up line reach an electrical potential difference predetermined in a short time. However, if capacity of a capacitor is enlarged, a chip area will increase.

[0012] In order to solve the problem of such a 1st conventional example, in JP,6-153493,A (the 2nd conventional example is called hereafter), the pressure-up electrical potential difference was always outputted, and the booster circuit which carries out ON/OFF of the connection with a word line by the predetermined control circuit is proposed.

[0013] With the configuration of the 2nd conventional example, since the pressure-up line is always charged, the increment in the power consumption accompanying the charge and discharge of a pressure-up line can be controlled, and the build up time of a word line does not become late. Moreover, since it is not necessary to enlarge capacity of the capacitor for pressure up, a chip area does not increase.

[0014] Furthermore, in the 2nd conventional example, since the limiter which restricts a pressure-up electrical potential difference was prepared and the pressure-up clock armature-voltage control circuit which restricts the output swing of the clock driver which drives the clock for pressure up is prepared, the power consumption of the booster circuit containing a limiter can be reduced.

[0015] However, in the 2nd conventional example, since the MOS transistor which connected the gate with the drain as diode for rectifying the clock for pressure up is used, the voltage drop by diode is large, and since rectifying efficiency is bad, the problem that a desired pressure-up electrical potential difference is not obtained arises.

[0016] So, JP,6-14529,A (the 3rd conventional example is called hereafter) has indicated the booster circuit which raised rectifying efficiency by carrying out switching operation of the transistor rather than making diode connection of the transistor like the 2nd conventional example.

[0017] Drawing 14 is the circuit diagram showing the configuration of the charge pump circuit which the conventional booster circuit has.

[0018] As shown in drawing 14, the charge pump circuit which the booster circuit of the 3rd conventional example has The 1st inverter 101 which reverses clock ϕA which consists of a predetermined period, and is outputted with the amplitude of the external power electrical potential difference VCC, The 2nd inverter 102 which reverses clock ϕB which consists of a predetermined period, and is outputted with the amplitude of the external power electrical potential difference VCC, The 3rd inverter 103 which reverses clock ϕC which consists of a predetermined period, and is outputted with the amplitude of the pressure-up electrical potential difference VBOOT, The capacitors C1, C2, and C3 for pressure up connected to the outgoing end of the 1st inverter 101 - the 3rd inverter 103, The output clock of the capacitor C1 for pressure up is inputted, and ON/OFF of is done according to the output clock of the capacitor C3 for pressure up. The NMOS transistor Q1 for outputting the pressure-up electrical potential difference VBOOT higher than the external power electrical potential difference

VCC supplied from the outside, The output clock of the capacitor C2 for pressure up is followed. ON / NMOS transistor Q2 for turning off and carrying out bias of the output voltage of the capacitor C1 for pressure up on the external power electrical potential difference VCC, The output clock of the capacitor C2 for pressure up is followed. ON / NMOS transistor Q3 for turning off and carrying out bias of the output voltage of the capacitor C3 for pressure up on the external power electrical potential difference VCC, According to the output clock of the capacitor C3 for pressure up, it has the NMOS transistor Q4 ON / for turning off and carrying out bias of the output voltage of the capacitor C2 for pressure up on the external power electrical potential difference VCC. It is the configuration which performs double ***** and outputs a pressure-up electrical potential difference by clock phiA, phiB, and phiC. Here, inverters 101-103 consist of P channel transistors P1, P2, and P3 and N channel transistors N1, N2, and N3, respectively. Moreover, make into the pressure-up section 111 the block which consists of transistors Q1 and Q2 and a capacitor C1 for pressure up, and let the block which consists of transistors Q3 and Q4 and capacitors C2 and C3 for pressure up be the pressure-up control section 112.

[0019] Drawing 15 is the wave form chart showing the voltage waveform generated in each node of the charge pump circuit shown in drawing 14 . Moreover, drawing 16 shows the maximum electrical potential difference generated in the nodes A, B, and C to change of the external power electrical potential difference of the charge pump circuit shown in drawing 14 , and the electrical potential difference VBOOT of Node D shows the set point. Since the electrical potential difference VBOOT of Node D is graduated with load carrying capacity (un-illustrating) and is controlled by the judgment circuit (un-illustrating), supply voltage always turns into an electrical potential difference of the set point mostly more than by V1.

[0020] Actuation of the charge pump circuit shown in drawing 14 with reference to drawing 15 is explained. In addition, although the duty ratio is set up to 50% or less in order to prevent a penetration current, by the following explanation, it falls,

simultaneously clock phiB and phiC also start, and a duty ratio explains clock phiB and phiC as the standup of 50%, i.e., clock phiA, / a thing /Fallen and carried out.

[0021] At time of day t0, as for the output of inverters 101 and 103, high level and clock phiB will be set to a low level by them, if clock phiA and phiC are set to a low level, and the output of an inverter 102 becomes high-level. At this time, transistors Q2, Q3, N1, P1, and N3 turn on, and Q1, Q4, P1, N2, and P3 turn off.

[0022] The high-level output of an inverter 102 is added to the capacitor C2 charged by supply voltage (it is hereafter described as VCC), and Node B serves as 2VCC(s). Since inverter 101 edge of a capacitor C1 discharges to a low level, the potential of Node A falls for a moment, but if electrical-potential-difference 2VCC of Node B is supplied to the gate of a transistor Q2, since a transistor Q2 turns on, the node A of a capacitor C1 will be gradually charged by VCC.

[0023] Similarly, since transistors Q3 and N3 turn on, the node C side of a capacitor C3 is charged by the pressure-up electrical potential difference VBOOT which is the output of a charge pump circuit, and the other end discharges to touch-down potential.

[0024] At time of day t1, if low-level and clock phiB becomes high-level, as for the output of inverters 101 and 103, it will become high-level, and as for the output of an inverter 102, clock phiA and phiC are set to a low level. At this time, transistors Q2, Q3, N1, P1, and N3 turn off, and Q1, Q4, P1, N2, and P3 turn on.

[0025] The high-level output of an inverter 103 is added to the capacitor C3 charged by VBOOT, and Node C serves as VCC+VBOOT. Moreover, since inverter 101 edge of a capacitor C1 is charged by VCC, this VCC is added to the VCC till then by Node A side, and the potential of Node A is set to 2VCC(s). If the potential of Node C serves as VCC+VBOOT and is supplied to the gate of a transistor Q1, since a transistor Q1 turns on, 2VCC(s) are outputted as a pressure-up electrical potential difference VBOOT. However, the potential of Node A falls gradually as the charge charged by the capacitor C1 discharges.

[0026] Since transistors Q4 and N2 turn on at this time, the node B side of a

capacitor C2 is charged by VCC, and the other end discharges to touch-down potential.

[0027] The same actuation as time of day t0 and t1 is repeated hereafter, and a charge pump circuit continues outputting the pressure-up electrical potential difference VBOOT.

[0028] Here, the reason for impressing VBOOT to the source of the P channel transistor of an inverter 103 is as follows. A transistor Q1 is an NMOS transistor, the drain is connected to Node A and the electrical potential difference by which pressure up was carried out to 2VCC(s) at time of day t1 is supplied.

[0029] Supposing it supplies 2VCC(s) to the gate of a transistor Q1 and makes a transistor Q1 turn on, a source electrical potential difference will usually turn into an electrical potential difference of a transistor Q1 low by the threshold electrical potential difference VTH from gate voltage. For this reason, the pressure-up electrical potential difference of 2 VCC-VTH will be outputted, the loss which is a part for the threshold electrical potential difference VTH will arise, and the source of a transistor Q1 will reduce pressure-up effectiveness.

[0030] In order to reduce this loss, the electrical potential difference supplied to the gate of a transistor Q1 is generated in the 3rd conventional example using the pressure-up electrical potential difference VBOOT that what is necessary is just to make it the electrical potential difference of 2 or more VCC+VTH.

[0031] As shown in drawing 15 and drawing 16 , in the charge pump circuit of the 3rd conventional example, the electrical potential difference of 2VCC(s) is supplied to the gate of the source of the NMOS transistor Q1 connected to Node A or a drain, and the NMOS transistor Q2 connected to Node B, respectively, and the electrical potential difference of (VCC+VBOOT) is impressed to the gate of the NMOS transistor Q1 connected to Node C.

[0032] In drawing 16 , an increment of supply voltage VCC also increases Nodes A and B proportionally. On the other hand, although Node D increases in proportion to VCC until supply voltage is set to V1, supply voltage VCC is fixed within the limits of V1-V2. In order to use the semiconductor integrated circuit

within the limits of supply voltage $V1-V2$ (a normal operation electrical potential difference is called hereafter) and to make it the engine performance of a semiconductor integrated circuit not depend for this on supply voltage on a normal operation electrical potential difference, the pressure-up electrical potential difference $VBOOT$ is because it is controlled so that output voltage becomes fixed with the stabilization means which is not illustrated. Although it increases in proportion to VCC again in order to change the reference voltage of a stabilization means into the electrical potential difference which carried out resistance division of the supply voltage VCC , if supply voltage exceeds $V2$, the inclination is looser than the inclination to $V1$. Moreover, change of Node C also changes corresponding to change of Node D.

[0033] Thus, although the pressure-up electrical potential difference $VBOOT$ is held down to the predetermined electrical potential difference on the normal operation electrical potential difference, in order to remove initial failure efficiently like a bar in trial for a short time, it is common to supply and carry out the accelerated test of the electrical potential difference higher than a normal operation electrical potential difference to an internal circuitry.

[0034]

[Problem(s) to be Solved by the Invention] As mentioned above, the inclination to fall with detailed-izing has pressure-proofing of the transistor used with a semiconductor integrated circuit in recent years. if the electrical potential difference of $2VCC(s)$ or $VBOOT+VCC$ is impressed to the source or the drain of a transistor in such a situation -- the source, the semi-conductor substrate from the diffusion layer of a drain, or a well -- leakage current flows to a field, and when the worst, the joint of a diffusion layer is destroyed.

[0035] For example, potential of a semi-conductor substrate is set to $0V$, and when a charge pump circuit as shown in drawing 14 with the transistor whose junction pressure-proofing is $10V$ is constituted, supposing the normal operation electrical potential difference $V2$ is $3.6V$ and the stable pressure-up electrical potential difference $VBOOT$ is $4.5V$ as an external power electrical potential

difference V_{CC} , a maximum of 7.2V and Node C will be set to a maximum of 8.1 V by Nodes A and B. Thus, on a normal operation electrical potential difference, it is less than the junction proof pressure of a transistor, and a semiconductor integrated circuit operates satisfactory.

[0036] However, in the time of a burn in test, if 5V are supplied as an external power electrical potential difference V_{CC} , since $10 V + \alpha$ will be impressed to the drain of the NMOS transistor Q3 connected with Node C, leakage current flows in the direction of a substrate from the drain of a transistor, and there is a possibility of causing junction destruction.

[0037] in order to prevent that the charge stored in the capacitor of a memory cell field generally disappears in the noise of a semi-conductor substrate etc. -- a well -- bias of the potential is carried out to about -1.5V -- having -- further -- a well -- a well with a memory cell field and a circumference circuit field same in the semiconductor memory which reduced production processes by reducing a field - it forms in a field -- having -- moreover -- the well -- potential is set up identically. Therefore, since 11.5V are impressed to the drain of the NMOS transistor Q4 connected with Node B and $11.5 V + \alpha$ is impressed to the drain of the NMOS transistor Q3 connected with Node C, the possibility of generating of leakage current or junction destruction will increase more.

[0038] moreover, the case where leakage current flows between the source of a transistor, or a drain and a semi-conductor substrate even if it did not result in junction destruction -- a well -- the source of the transistor which the potential of a field rose and was prepared in the memory cell field, and a drain -- a well -- since bias is carried out to the forward direction to potential, the charge currently stored in the capacitor for storage will discharge in an instant, and the data currently recorded will disappear.

[0039] Although it is ending if these problems' raise junction pressure-proofing of a transistor, since it is necessary to make high impurity concentration of the diffusion layer used as the source/drain thinner than other transistors, another mask must be prepared and it must create at another process. This causes a

cost rise of a semiconductor integrated circuit. Moreover, since the size of a transistor also becomes large, a chip area and a chip cost increase.

[0040] It is made in order that this invention may solve the trouble which a Prior art which was described above has, it is possible to generate an internal electrical potential difference higher than the usual operating voltage at the time of a burn in test, and it aims at offering the booster circuit using the high charge pump circuit and high it of the rectifying efficiency which can acquire a high current by high tension, without using the transistor of high pressure-proofing.

[0041] Moreover, even if constituted from a transistor created at the same process as a memory cell field, leak cannot take place easily due to a joint at the time of a burn in test, and it aims at offering a charge pump circuit without disappearance of the data memorized by the memory cell, and the booster circuit using it.

[0042]

[Means for Solving the Problem] In order to attain the above-mentioned object the charge pump circuit of this invention The 1st capacitor for pressure up into which the 1st clock which consists of a predetermined period is inputted, The 2nd capacitor for pressure up into which the 2nd clock with which said 1st clock becomes high-level within the period of a low level is inputted, The 3rd capacitor for pressure up into which the 3rd clock with which said 1st clock becomes high-level within a high-level period is inputted, The output clock of said 1st capacitor for pressure up is inputted, and ON/OFF of is done according to the output clock of said 3rd capacitor for pressure up. The 1st transistor for outputting a pressure-up electrical potential difference higher than the external power electrical potential difference supplied from the outside, The output clock of said 2nd capacitor for pressure up is followed. ON / the 2nd transistor for turning off and carrying out bias of the output voltage of said 1st capacitor for pressure up on an external power electrical potential difference, The output clock of said 2nd capacitor for pressure up is followed. ON / the 3rd transistor for turning off and carrying out bias of the output voltage of said 3rd capacitor for pressure up on an

external power electrical potential difference, The output clock of said 3rd capacitor for pressure up is followed. ON / the 4th transistor for turning off and carrying out bias of the output voltage of said 2nd capacitor for pressure up on an external power electrical potential difference, **** and said 1st clock, said 2nd clock, and said 3rd clock perform double *****. It is the charge pump circuit which outputs said pressure-up electrical potential difference, and said 3rd clock is outputted with the amplitude of said pressure-up electrical potential difference at the time of the usual actuation, and it is the configuration of having the leakage current control circuit which outputs said 3rd clock with the amplitude of said external power electrical potential difference, at the time of a burn in test.

[0043] You may be the configuration of having the buffer circuit which changes and outputs said 3rd clock into which said leakage current control circuit was inputted at this time to the amplitude equal to the supply voltage supplied, the 5th transistor which supplies said pressure-up electrical potential difference to said buffer circuit as said supply voltage at the time of the usual actuation, and the 6th transistor which supplies said external power electrical potential difference to said buffer circuit as said supply voltage at the time of a burn in test.

[0044] Moreover, other configurations of the charge pump circuit of this invention The 1st capacitor for pressure up into which the 1st clock which consists of a predetermined period is inputted, The 2nd capacitor for pressure up into which the 2nd clock with which said 1st clock becomes high-level within the period of a low level is inputted, The 3rd capacitor for pressure up into which the 3rd clock with which said 1st clock becomes high-level within a high-level period is inputted, The output clock of said 1st capacitor for pressure up is inputted, and ON/OFF of is done according to the output clock of said 3rd capacitor for pressure up. The 1st transistor for outputting a pressure-up electrical potential difference higher than the external power electrical potential difference supplied from the outside, The output clock of said 2nd capacitor for pressure up is followed. ON / the 2nd transistor for turning off and carrying out bias of the output voltage of said 1st capacitor for pressure up on an external power electrical potential difference, The

output clock of said 2nd capacitor for pressure up is followed. ON / the 3rd transistor for turning off and carrying out bias of the output voltage of said 3rd capacitor for pressure up on an external power electrical potential difference, The output clock of said 3rd capacitor for pressure up is followed. ON / the 4th transistor for turning off and carrying out bias of the output voltage of said 2nd capacitor for pressure up on an external power electrical potential difference, **** and said 1st clock, said 2nd clock, and said 3rd clock perform double *****. Are the charge pump circuit which outputs said pressure-up electrical potential difference, and said 1st clock is outputted with the amplitude of said external power electrical potential difference at the time of the usual actuation. The 1st leakage current control circuit where said 1st clock is outputted with the predetermined amplitude lower than said external power electrical potential difference at the time of a burn in test, The 2nd leakage current control circuit where said 2nd clock is outputted with the amplitude of said external power electrical potential difference at the time of the usual actuation, and said 2nd clock is outputted with the predetermined amplitude lower than said external power electrical potential difference at the time of a burn in test, Said 3rd clock is outputted with the amplitude of said pressure-up electrical potential difference at the time of the usual actuation, and it has the 3rd leakage current control circuit which outputs said 3rd clock with the predetermined amplitude lower than said pressure-up electrical potential difference at the time of a burn in test.

[0045] At this time, said 1st leakage current control circuit, said 2nd leakage current control circuit, and the 3rd leakage current control circuit The inverter which carries out the reversal output of the inputted clock, and the gate circuit which stops actuation of the 5th transistor for outputting the low level of said inverter at the time of a burn in test, The bias circuit which sets the output voltage of the low level of said inverter as a predetermined electrical potential difference instead of said 5th transistor at the time of said burn in test, You may be ***** (ing). Said bias circuit In order to connect with two or more diodes connected to the serial at said diode and serial and to set the output voltage of

the low level of said inverter as a predetermined electrical potential difference, you may be the configuration of having the 6th transistor which operates instead of said 5th transistor.

[0046] Moreover, the 1st inverter which said 1st leakage current control circuit reverses the 1st inputted clock, and is outputted to said 1st capacitor for pressure up, The 1st gate circuit which outputs the output clock of this 1st inverter, and the clock of an inphase at the time of the usual actuation, and suspends the output of this clock at the time of a burn in test, It has the 4th capacitor for pressure up by which the end was connected to the output of said 1st gate circuit, and the other end was connected to the outgoing end of said 1st capacitor for pressure up. Said 2nd leakage current control circuit The 2nd inverter which reverses the 2nd inputted clock and is outputted to said 2nd capacitor for pressure up, The 2nd gate circuit which outputs the output clock of this 2nd inverter, and the clock of an inphase at the time of the usual actuation, and suspends the output of this clock at the time of a burn in test, It has the 5th capacitor for pressure up by which the end was connected to the output of said 2nd gate circuit, and the other end was connected to the outgoing end of said 2nd capacitor for pressure up. Said 3rd leakage current control circuit The 3rd inverter which reverses the 3rd inputted clock and is outputted to said 3rd capacitor for pressure up, The 3rd gate circuit which outputs the output clock of this 3rd inverter, and the clock of an inphase at the time of the usual actuation, and suspends the output of this clock at the time of a burn in test, You may be the configuration of having the 6th capacitor for pressure up by which the end was connected to the output of said 3rd gate circuit, and the other end was connected to the outgoing end of said 3rd capacitor for pressure up.

[0047] On the other hand, the booster circuit of this invention Any one of the above-mentioned charge pump circuits The clock generation circuit which generates said 1st clock, said 2nd clock, and said 3rd clock, and is outputted to said charge pump circuit, respectively, The predetermined programmed voltage generated based on reference voltage is compared with said pressure-up

electrical potential difference. The signal for stopping the oscillation of said clock generation circuit as a status signal, if said pressure-up electrical potential difference is larger than this programmed voltage is transmitted. The judgment circuit which will transmit the signal for making a clock generation circuit continue an oscillation as a status signal if said pressure-up electrical potential difference is this below programmed voltage, When the signal which detects the level of said external power electrical potential difference, and directs more than predetermined operating voltage or activation of a burn in test is inputted, it is the configuration of having the electrical-potential-difference detector which outputs the burn-in mode signal which directs a change in the mode corresponding to a burn in test.

[0048] Moreover, the pressure-up section which outputs the pressure-up electrical potential difference to which the booster circuit of this invention carried out pressure up of the supply voltage, The pressure-up control section which outputs the switching signal of high tension to said pressure-up section from said pressure-up electrical potential difference, A leakage current control means to hold down the maximum electrical potential difference produced in said pressure-up control section to below the leak starting potential of the transistor which constitutes said pressure-up control section, It is the configuration of ****(ing), and said leakage current control means has the 1st mode of operation and 2nd mode of operation, and is smaller than the time of said 1st mode of operation. [of the rate of a gain to the supply voltage of said switching signal at the time of said 2nd mode of operation]

[0049] At this time, by changing the supply voltage supplied to the logic gate which constitutes this leakage current control means, said rate of a gain may be made small and said rate of a gain may be made small by changing the amplitude of the clock supplied to this leakage current control means.

[0050] Furthermore, said leakage current control means has the 1st mode of operation and 2nd mode of operation, the loss ratio of said switching signal at the time of said 2nd mode of operation is larger than the time of said 1st mode of

operation, and by carrying out the capacitive component rate of said switching signal, said leakage current control means enlarges said loss ratio, and is good.
[of a peach]

[0051] The pressure-up section which outputs the pressure-up electrical potential difference to which the semiconductor memory of this invention carried out pressure up of the supply voltage, The pressure-up control section which outputs the switching signal of high tension to said pressure-up section from said pressure-up electrical potential difference, A leakage current control means to hold down the maximum electrical potential difference produced in said pressure-up control section to below the leak starting potential of the 1st transistor which constitutes said pressure-up control section, It is the configuration that had the 2nd transistor which constitutes the memory section and said the 1st transistor and said 2nd transistor were formed in the same semi-conductor substrate or the same well.

[0052] Moreover, the pressure-up section which outputs the pressure-up electrical potential difference to which the semiconductor memory of this invention carried out pressure up of the supply voltage, The pressure-up control section which outputs the switching signal of high tension to said pressure-up section from said pressure-up electrical potential difference, A leakage current control means to hold down the maximum electrical potential difference produced in said pressure-up control section to below the leak starting potential of the 1st transistor which constitutes said pressure-up control section, It is formed in a field. the 2nd transistor which constitutes the memory section -- having -- said 1st transistor -- the 1st well -- said 2nd transistor -- the 2nd well -- it forms in a field -- having -- said 1st well -- a field and said 2nd well -- a well with the same field -- it is the configuration connected to the potential bias means.

[0053] The electrical potential difference impressed to the diffusion layer of each transistor which constitutes a charge pump circuit from having the leakage current control circuit which the charge pump circuit constituted as mentioned above outputs the 3rd clock with the amplitude of a pressure-up electrical

potential difference at the time of the usual actuation, and outputs the 3rd clock with the amplitude of an external power electrical potential difference at the time of a burn in test even if an external power electrical potential difference becomes high like [at the time of a burn in test] is controlled within a junction proof pressure.

[0054] The 1st leakage current control circuit where similarly the 1st clock is outputted with the amplitude of an external power electrical potential difference at the time of the usual actuation, and the 1st clock is outputted with the predetermined amplitude lower than said external power electrical potential difference at the time of a burn in test, The 2nd leakage current control circuit where the 2nd clock is outputted with the amplitude of an external power electrical potential difference at the time of the usual actuation, and the 2nd clock is outputted with the predetermined amplitude lower than said external power electrical potential difference at the time of a burn in test, It is having the 3rd leakage current control circuit where the 3rd clock's is outputted with the amplitude of said pressure-up electrical potential difference at the time of the usual actuation, and the 3rd clock's is outputted with the predetermined amplitude lower than a pressure-up electrical potential difference at the time of a burn in test. The electrical potential difference impressed to the diffusion layer of each transistor which constitutes a charge pump circuit is controlled within a junction proof pressure.

[0055]

[Embodiment of the Invention] Next, this invention is explained with reference to a drawing.

[0056] (The 1st example) Drawing 1 is the block diagram showing the configuration of the semiconductor memory equipped with the booster circuit of this invention.

[0057] The memory cell fields 11 and 12 which consist of two or more memory cells for a semiconductor memory to memorize information in drawing 1 , The low decoder 2 which decodes the address inputted from the outside and outputs the

word line selection signal of the direction of a low (longitudinal direction of drawing 1) for specifying the memory cell (memory cell which write data) to access, The column decoders 31 and 32 which decode the address inputted from the outside and output the bit line selection signal of the direction of a column for specifying the memory cell which carries out an accelerator (lengthwise direction of drawing 1), The sense amplifiers 41 and 42 for reading the information recorded on the memory cell, The word line selection circuitries 51-52n (n is a positive number) which choose the sub word line accessed according to the word line selection signal which is established corresponding to each memory cell and outputted from the low decoder 2, It has the booster circuit 7 for supplying the pressure-up electrical potential difference VBOOT to the word line selection circuitries 51-52n through the pressure-up line 6, respectively.

[0058] The word line selection circuitries 51-52n are connected each with one sub word line, and two or more memory cells are connected to each sub word line. The word line selection circuitries 51-52n will supply the pressure-up electrical potential difference VBOOT to one sub word line in one memory cell field, if the output of the low decoder 2 and the column decoder 3 is activated simultaneously. Two or more memory cells to which the pressure-up electrical potential difference VBOOT was supplied are chosen, the stored data is outputted to a sense amplifier 4, or the data supplied from a sense amplifier 4 are memorized. The column decoder 3 chooses one of two or more sense amplifiers 4, and outputs and inputs stored data. In addition, although drawing 1 shows the configuration in case the number of memory cell fields is two, the number of memory cell fields one, and they may be three or more. In that case, for every memory cell field, a sense amplifier and a column decoder correspond and are prepared.

[0059] A booster circuit 7 is the configuration of having the feedback loop which consists of the judgment circuit 11, the clock generation circuit 12, and the charge pump circuit 13, and the electrical-potential-difference detector 14 which detects the electrical potential difference of the external power electrical potential

difference VCC.

[0060] It is the circuit which judges whether the judgment circuit 11 has the pressure-up electrical potential difference VBOOT higher than the predetermined programmed voltage generated based on reference voltage VREF, and if it is a $VBOOT >$ programmed voltage, the signal for stopping the oscillation of the clock generation circuit 12 as a status signal ST will be transmitted. Moreover, if it is a $VBOOT \leq$ programmed voltage, the signal for making the clock generation circuit 12 continue an oscillation as a status signal ST will be transmitted.

[0061] The clock generation circuit 12 generates clock ϕA , ϕB , and ϕC according to status signal ST outputted from the judgment circuit 11, and outputs them to the charge pump circuit 13, respectively.

[0062] The charge pump circuit 13 performs double ***** using clock ϕA outputted from the clock generation circuit 12, ϕB , and ϕC , and generates the pressure-up electrical potential difference VBOOT.

[0063] The pressure-up electrical potential difference VBOOT is compared with the set point in a judgment circuit, and is controlled strictly to become a predetermined electrical potential difference (setting-out level). If the pressure-up electrical potential difference VBOOT becomes higher than setting-out level, the clock generation circuit 12 stops supply of clock ϕA - ϕC immediately, and if it becomes low, the actuation which resumes supply of clock ϕA - ϕC will be repeated. The fluctuation level of the pressure-up electrical potential difference VBOOT is less than setting-out level $\times 0.1$ V extent, and the pressure-up electrical potential difference VBOOT always has setting-out level in approximation. Thus, it is not dependent on the amplitude of clock ϕA - ϕC supplied from the clock generation circuit 12, and depends for the electrical potential difference of the pressure-up electrical potential difference VBOOT on the period of clock ϕA - ϕC supplied.

[0064] Very big load carrying capacity (un-illustrating) is attached to the node (the below-mentioned node D) which outputs the pressure-up electrical potential difference VBOOT. Since the pressure-up electrical potential difference VBOOT

is supplied to many word line selection circuitries 51-52n, this is because all the capacity of the node of the inverter output of the output of the node set to pressure-up electrical-potential-difference VBOOT level within the wiring and 51-52n of word line selection circuitries, for example, the inverter driven on the pressure-up electrical potential difference VBOOT, can be seen as parasitic capacitance of Node D at the time of high level (VBOOT level). Moreover, a capacitor may be attached to Node D as compensation capacitance, and load carrying capacity may be enlarged further. In this example, load carrying capacity which is the sum of the above-mentioned parasitic capacitance and compensation capacitance was set to about 2000pF.

[0065] For this reason, clock phi A-phi C inputted into the charge pump circuit 13 is [1 cycle ***** of the power surge of the pressure-up electrical potential difference VBOOT] very small (about 0.05V). On the other hand, the judgment rate of a judgment circuit is the time amount of 1 cycle and equivalent extent of a clock, and since a period after the pressure-up electrical potential difference VBOOT becomes higher than setting-out level until it stops a clock is 1 clock extent, the pressure-up electrical potential difference VBOOT does not become higher than set point +0.1V.

[0066] Moreover, since there is big load carrying capacity even if the current of the pressure-up electrical potential difference VBOOT flows to the word line selection circuitries 51-52n connected with a booster circuit 7, it falls only to about setting-out level-0.1V, but the clock generation circuit 12 is beginning to move immediately, and the pressure-up electrical potential difference VBOOT recovers the pressure-up electrical potential difference VBOOT to setting-out level.

[0067] The electrical-potential-difference detector 14 outputs high (High) level as burn-in mode signal BMD which is a change signal to the mode corresponding to a burn in test, when the level of the external power electrical potential difference VCC supplied from the outside is detected and it becomes more than predetermined supply voltage, or when the setpoint signal which directs

activation of a burn in test is inputted through a non-illustrated external terminal.
[0068] In such a configuration, when bar in mode signal BIMD is low (Low) level, the judgment circuit 11 and the charge pump circuit 13 of a booster circuit 7 which were shown in drawing 1 perform the usual actuation which was mentioned above, and control the pressure-up electrical potential difference VBOOT to a fixed value in [V1-V2] a power range of operation.

[0069] On the other hand, when bar in mode signal BIMD is high-level, the judgment circuit 11 compares the pressure-up electrical potential difference VBOOT with the predetermined programmed voltage generated based on the external power electrical potential difference VCC. Moreover, the charge pump circuit 13 restricts the amplitude of the clock outputted from the capacitor for pressure up, and it operates so that the source of a transistor or the electrical potential difference of a drain may be controlled to a junction proof-pressure less or equal.

[0070] Next, each component of the booster circuit shown in drawing 1 is explained to a detail, respectively.

[0071] Drawing 2 is the circuit diagram showing the example of 1 configuration of the electrical-potential-difference detector which the booster circuit shown in drawing 1 has, and a judgment circuit.

[0072] In drawing 2 , the electrical-potential-difference detector 14 compares the electrical potential difference which divided reference voltage VREF and the external power electrical potential difference VCC by resistors R11 and R12 with the reference voltage generating circuit 21 which outputs the predetermined reference voltage VREF, and is constituted by the 1st comparator 22 which outputs burn-in mode signal BIMD from a comparison result.

[0073] The gate and a drain are connected in common, and the reference voltage generating circuit 21 is inserted between the source of the NMOS transistor Q11 to which the external power electrical potential difference VCC is impressed through a resistor R13, the NMOS transistor Q12 to which the NMOS transistor Q11, the gates, and drains were connected in common, and the NMOS transistor

Q12, and touch-down potential, and is constituted by the loading resistor R14 for outputting reference voltage VREF.

[0074] The 2nd comparator 23 which the judgment circuit 11 compares reference voltage VREF, and the pressure-up electrical potential difference VBOOT or the external power electrical potential difference VCC with the pressure-up electrical potential difference VBOOT by the predetermined ratio, respectively, and outputs a comparison result as a status signal ST on the other hand, The resistors R15 and R16 for pressuring partially the external power electrical potential difference VCC by the predetermined ratio, The resistors R17 and R18 for pressuring partially the pressure-up electrical potential difference VBOOT by the predetermined ratio, The 1st switch 24 for inputting reference voltage VREF into the 2nd comparator 23 according to bar in mode signal BMD, It is constituted by the 2nd switch 25 for inputting into the 2nd comparator 23 the electrical potential difference by which the partial pressure was carried out according to bar in mode signal BMD by resistors R15 and R16, and the inverter 26 which carries out the reversal output of the bar in mode signal BMD.

[0075] In such a configuration, the electrical-potential-difference detector 14 compares the electrical potential difference and reference voltage VREF which carried out resistance division of the external power electrical potential difference VCC, and outputs high level (burn-in mode) as bar in mode signal BMD at the time of $VCC \times K > VREF$. Moreover, a low level (non-burn-in mode) is outputted as bar in mode signal BMD at the time of $VCC \times K < VREF$. In addition, it is $K = R12 / (R11 + R12)$.

[0076] When bar in mode signal BMD is a low level (non-burn-in mode), the judgment circuit 11 compares the electrical potential difference and reference voltage VREF which carried out resistance division of the pressure-up electrical potential difference VBOOT, and outputs a low level as a status signal ST at the time of $VBOOT \times L > VREF$. Moreover, high level is outputted as a status signal ST at the time of $VBOOT \times L < VREF$. In addition, it is $L = R18 / (R17 + R18)$.

[0077] Moreover, the judgment circuit 11 compares the electrical potential

difference which carried out resistance division of the pressure-up electrical potential difference VBOOT when bar in mode signal BMD was high level (burn-in mode) with the electrical potential difference which carried out resistance division of the external power electrical potential difference VCC, and when it is $VBOOT > M \times VCC$, it outputs a low level as a status signal ST. Moreover, when it is $VBOOT < M \times VCC$, high level is outputted as a status signal ST. In addition, it is $M = R16(R17 + R18) / \{R18 (R15 + R16)\}$.

[0078] Drawing 3 is the circuit diagram showing the example of 1 configuration of the clock generation circuit 12 which the booster circuit 7 shown in drawing 1 has, and drawing 4 is the wave form chart showing the situation of actuation of the clock generation circuit 12 shown in drawing 3 .

[0079] As shown in drawing 3 , the clock generation circuit 12 The ring oscillator 31 which a feedback loop is constituted by two or more logic gates connected to the serial, and outputs the clock phi 0 of a predetermined frequency, The 1st delay circuit 32 which the clock phi 0 outputted from the ring oscillator 31 is reversed, and only predetermined time amount (Tda) is delayed, and is outputted as clock phiA, The clock phi 0 outputted from the ring oscillator 31 is reversed (INVphi0). The 2nd delay circuit 33 which outputs clock phiB which becomes high-level while only predetermined time amount (Tdb) is delayed, and it is set to a low level and INVphi0 is set to a low level, after INVphi0 becomes high-level, After the clock signal phi 0 outputted from the ring oscillator 31 becomes high-level, delay only predetermined time amount (Tdc) and it is set to a low level. And it is constituted by the 3rd delay circuit 34 which outputs clock phiC which becomes high-level while phi 0 is set to a low level. Here, it is desirable that it is $Tdb = Tdc = 2Tda$. If these time delays Td are lengthened too much, before a pressure-up period will become short and obtaining a predetermined pressure-up electrical potential difference, time amount will be taken, and pressure-up effectiveness also falls. When a time delay Td is shortened too much, a penetration current flows to a booster circuit by dispersion in a component etc., and the unnecessary consumed electric current may increase or it may stop on

the contrary, being able to carry out pressure up.

[0080] Moreover, it oscillates, when status signal ST is high-level, and the ring oscillator 31 outputs a clock ϕ_0 , and suspends an oscillation at the time of a low level.

[0081] In addition, as shown in drawing 4, clock ϕ_A is the signal which becomes high-level within the period of a low level, and clock ϕ_B is a signal of 50% or less of duty ratios in which only a time delay T_{db} is from falling of a clock ϕ_0 and which starts from it.

[0082] Moreover, clock ϕ_A is the signal which becomes high-level within a high-level period, and clock ϕ_C is a signal of 50% or less of duty ratios in which only a time delay T_{dc} is from the standup of a clock ϕ_0 and which starts from it.

[0083] Drawing 5 is the circuit diagram showing the configuration of the 1st example of the charge pump circuit 13 which the booster circuit shown in drawing 1 has. Moreover, drawing 6 is the wave form chart showing the voltage waveform generated in each node of the charge pump circuit 13 shown in drawing 5, and drawing 7 is a graph which shows the relation of the maximum electrical potential difference generated in each node to change of the external power electrical potential difference of the charge pump circuit 13 shown in drawing 5. In addition, burn-in mode signal BMD shown in drawing 7 shows only the value of the external power electrical potential difference VCC from which the mode changes, and the high-level electrical potential difference does not show the right value. Moreover, the electrical potential difference to each NMOS transistor which constitutes a charge pump circuit from this example which can be impressed is set to 10V.

[0084] In drawing 5, the charge pump circuit 13 of this example is the configuration of having added the leakage current control circuit 41 to the configuration of the charge pump circuit of the 3rd conventional example shown in drawing 14. Clock ϕ_C is inputted into the capacitor C3 for pressure up through the leakage current control circuit 41. Moreover, clock ϕ_A is inputted into the capacitor C1 for pressure up through the 1st buffer 42, and clock ϕ_B is

inputted into the capacitor C2 for pressure up through the 2nd buffer 43. In addition, the external power electrical potential difference VCC is supplied to the 1st buffer 42 and 2nd buffer 43.

[0085] The 3rd buffer 44 which changes the leakage current control circuit 41 into the amplitude equal to the supply voltage to which inputted clock ϕC is supplied, and is outputted, The NMOS transistor Q21 for ON/OFF being controlled by burn-in mode signal BMD, and supplying the external power electrical potential difference VCC to the 3rd buffer 44 at the time of a burn in test, The P channel MOS mold field-effect transistor for ON/OFF being controlled by burn-in mode signal BMD, and supplying the pressure-up electrical potential difference VBOOT to the 3rd buffer 44 at the time of the usual actuation (A PMOS transistor is called hereafter) It is the configuration of having Q22, the level shift circuit 45 which changes the level of burn-in mode signal BMD in order to enable actuation of the PMOS transistor Q22, and the level shift circuit 46 which changes the level of clock ϕC . The level conversion of clock ϕC which changes between 0V and VCC is carried out to the output voltage which changes between 0V, supply voltage ($VCC-V_{TH}$), or VBOOT, and the level shift circuit 46 supplies it to the 3rd buffer 44. Moreover, the load carrying capacity (un-illustrating) for carrying out smoothness of the output voltage is connected to the node D which is the terminal which outputs the pressure-up electrical potential difference VBOOT. Since other configurations are the same as that of the 3rd conventional example, the explanation is omitted.

[0086] In such a configuration, since the PMOS transistor Q22 turns on when burn-in mode signal BMD is a low level (at the time of normal operation), from the leakage current control circuit 41, clock ϕC_0 which has the amplitude of the pressure-up electrical potential difference VBOOT is outputted. Moreover, since the NMOS transistor Q21 turns on when burn-in mode signal BMD is high level (at the time of a bar in trial), from the leakage current control circuit 41, clock ϕC_0 which has the amplitude of external power electrical-potential-difference $VCC-V_{TH}$ is outputted. That is, he is trying to hold down the potential of Node C

to below a predetermined electrical potential difference (leak starting potential of a transistor Q3) by changing the supply voltage supplied to the logic gate 44 which constitutes the leakage current control circuit 41 from this example in the time of normal operation and burn-in mode.

[0087] At this time, as shown in drawing 6 and drawing 7, the electrical potential difference of Node A and Node B is controlled by 2 or less VCCs, and the electrical potential difference of Node C is controlled by 2 or less VCC-VTH.

[0088] When supply voltage VCC is lower than V1, burn-in mode signal BIMD is a low level, and since status signal ST is high-level, the clock generation circuit 12 is supplied to the charge pump circuit 13, without stopping clock phi A-phi C. Therefore, the electrical potential difference of Node A - Node C increases in proportion to supply voltage VCC.

[0089] When supply voltage VCC is the usual operating voltage range V1-V2, if burn-in mode signal BIMD is a low level and the pressure-up electrical potential difference VBOOT becomes higher than the predetermined electrical potential difference VB, status signal ST is set to a low level, and the clock generation circuit 12 will suspend supplying clock phi A-phi C to the charge pump circuit 13, and will lower the pressure-up electrical potential difference VBOOT. On the contrary, if the pressure-up electrical potential difference VBOOT becomes lower than the predetermined electrical potential difference VB, status signal ST becomes high-level, and the clock generation circuit 12 will supply clock phi A-phi C to the charge pump circuit 13, and will raise the pressure-up electrical potential difference VBOOT. Thus, supply voltage VCC controls a booster circuit 7 in the range of the operating voltage range V1-V2 to become the electrical potential difference VB with the fixed pressure-up electrical potential difference VBOOT of Node D.

[0090] Moreover, the electrical potential difference (2VCC) of Node A and Node B increases in proportion to supply voltage VCC, when status signal ST is high-level. However, if status signal ST is set to a low level, since clock phiA and phiB will stop, the electrical potential difference of Node A and Node B discharges

gradually.

[0091] Moreover, the electrical potential difference ($V_{CC}+V_{BOOT}$) of Node C increases in proportion to supply voltage V_{CC} , when status signal ST is high-level. However, if status signal ST is set to a low level, since clock ϕC will stop, the electrical potential difference of Node C discharges gradually.

[0092] If burn-in mode signal BMD becomes high-level and the pressure-up electrical potential difference V_{BOOT} becomes high from predetermined electrical-potential-difference $M_{CCV_{CC}}$ when supply voltage V_{CC} is higher than V_2 , status signal ST is set to a low level, and the clock generation circuit 12 will suspend supplying clock ϕA - ϕC to the charge pump circuit 13, and will reduce the pressure-up electrical potential difference V_{BOOT} . On the contrary, if the pressure-up electrical potential difference V_{BOOT} becomes lower than predetermined electrical-potential-difference $M_{V_{CC}}$, status signal ST becomes high-level, and the clock generation circuit 12 will supply clock ϕA - ϕC to the charge pump circuit 13, and will raise the pressure-up electrical potential difference V_{BOOT} . Thus, if supply voltage V_{CC} becomes higher than V_2 , a booster circuit 7 will be controlled so that the pressure-up electrical potential difference V_{BOOT} of Node D becomes predetermined electrical-potential-difference $M_{V_{CC}}$.

[0093] Moreover, the electrical potential difference ($2V_{CC}$) of Node A and Node B increases in proportion to supply voltage V_{CC} , when status signal ST is high-level. However, since clock ϕA and ϕB will stop if status signal ST is set to a low level, the electrical potential difference of Node A and Node B discharges gradually.

[0094] Moreover, the electrical potential difference ($2 V_{CC}-V_{TH}$) of Node C increases in proportion to supply voltage V_{CC} , when status signal ST is high-level. However, since clock ϕC will stop if status signal ST is set to a low level, the electrical potential difference of Node C discharges gradually.

[0095] Thus, at the time of the normal operation electrical-potential-difference range V_1 - V_2 , since an electrical potential difference higher than the pressure-up

electrical potential difference VBOOT is supplied to the gate of a transistor Q1, the voltage drop of a transistor Q1 can be suppressed to the minimum, and the booster circuit where pressure-up effectiveness is high can be realized.

[0096] Furthermore, when not forming the leakage current control circuit 41, if supply voltage VCC is set to 5V at the time of a burn in test, the electrical potential difference of Node C will become $VCC+VBOOT$, and will exceed 10V. therefore, source - of a transistor Q3 -- a well -- in order that the electrical potential difference of a between may exceed pressure-proofing, leakage current increases or breaks.

[0097] Since the electrical potential difference of Node C can be held down to $2 VCC-V_{TH}$, i.e., less than [10V], even if supply voltage VCC becomes higher than V2 if the leakage current control circuit 41 is formed like this example, as for a transistor Q3, leakage current does not flow by the joint of the source and a well. .

[0098] Next, the device structure of a semiconductor memory including the booster circuit 7 of this example is explained.

[0099] Drawing 8 is the sectional side elevation showing the device structure of a semiconductor memory including the 1st example of the booster circuit of this invention. In addition, drawing 8 shows only the structure of an important section required of the following explanation.

[0100] As shown in drawing 8 , the semiconductor memory equipped with the booster circuit 7 of this example has the P substrate 51 which consists of a P-type semiconductor, and bias of the P substrate 51 is carried out to 0V. the well (P which is a P type diffusion layer a well deep N which is a field 53 and an N type diffusion layer a well field 54) of a duplex separates the NMOS transistor 52 formed in a memory cell field with the P substrate 51 -- having -- P -- a well -- in order that a field 53 may prevent disappearing the charge stored in the capacitor of a memory cell field in a substrate noise etc., bias of it is carried out to -1.5V.

[0101] The P substrate 51 or the non-illustrated NMOS transistor 55 formed in a field P well, and the PMOS transistor 57 formed in a field 56 N well exist in a

circumference circuit field including a booster circuit 7.

[0102] Here, if it is set as external power electrical-potential-difference $V_{CC}=5V$ as conditions at the time of a burn in test, the NMOS transistors Q1-Q4 connected with Node A and Node B of the charge pump circuit 13 as mentioned above will be equivalent to the NMOS transistor 55, and the potential difference with the source, or a drain and the P substrate 51 will be controlled by less than [10V].

[0103] Therefore, since the electrical potential difference impressed to the diffusion layer of a transistor can be stopped within a junction proof pressure even if the external power electrical potential difference V_{CC} becomes high, the transistor of a booster circuit breaks by the burn in test, or the leakage current which flows in the direction of the P substrate 51 disappears from the source or the drain of a transistor.

[0104] Since it can manufacture at the same process as the transistor which it becomes unnecessary to create a transistor in another process for high pressure-proofing, and constitutes other circumference circuits, or the transistor of a memory cell, it becomes unnecessary furthermore, to add another mask and another process. Therefore, a manufacturing cost can decrease and the price of a semiconductor memory can be reduced. Moreover, since the size of a transistor does not become large, either, a chip area and a chip cost are not increased.

[0105] Moreover, since it is made the configuration not using the transistor for rectification which made diode connection like the 2nd conventional example, a voltage drop with the transistor for rectification can be reduced.

[0106] Moreover, since the NMOS transistor Q1 is driven by the high tension after pressure up, the actuation capacity of the NMOS transistor Q1 increases, and a voltage drop can be lessened even if it uses a small transistor. Therefore, the high charge pump circuit of rectifying efficiency is realizable.

[0107] (The 2nd example) Drawing 9 is the circuit diagram showing the configuration of the 2nd example of the charge pump circuit which the booster

circuit shown in drawing 1 has. Moreover, drawing 10 is the wave form chart showing the voltage waveform generated in each node of the charge pump circuit shown in drawing 9 , and drawing 11 is a graph which shows the relation of the maximum electrical potential difference generated in each node to change of the external power electrical potential difference of the charge pump circuit shown in drawing 9 . In addition, burn-in mode signal BIMD shown in drawing 11 shows only the value of the external power electrical potential difference VCC from which the mode changes, and the high-level electrical potential difference does not show the right value. Moreover, the electrical potential difference to each NMOS transistor which constitutes a charge pump circuit from this example which can be impressed is set to 10V.

[0108] 1st leakage current control circuit 61- which restricts the amplitude of each clock (ϕA , ϕB , ϕC) to the configuration of the 3rd conventional example which showed the charge pump circuit which the booster circuit of this example has to drawing 14 in drawing 9 at the time of a bar in trial -- it is the configuration of having formed the 3rd leakage current control circuit 63. In addition, clock ϕA - ϕC is the signal which reversed clock ϕA - ϕC generated in the clock generation circuit 12 shown in drawing 3 . Moreover, the external power electrical potential difference VCC is supplied to the 2nd leakage current control circuit 62 which restricts the amplitude of the 1st leakage current control circuit 61 which restricts the amplitude of clock ϕA , and clock ϕB , and the pressure-up electrical potential difference VBOOT is supplied to the 3rd leakage current control circuit 63 which restricts the amplitude of clock ϕC .

[0109] The inverter 71 which consists of the PMOS transistor Q31 and the NMOS transistor Q32 to which the 1st leakage current control circuit 61 carries out the reversal output of the inputted clock, The gate circuit 72 which stops actuation of the NMOS transistor Q32 of an inverter according to burn-in mode signal BIMD at the time of a burn in test, It is the configuration of having the bias circuit 73 for setting the output voltage of low REBEU of an inverter as predetermined level at the time of a burn in test according to burn-in mode signal BIMD.

[0110] A bias circuit 73 is the configuration of having the NMOS transistor Q33 by which connects with two or more diodes D1 and D2 which consist of the NMOS transistor by which the gate was connected in common with the drain, and which were connected to the serial, and diode at a serial, and ON/OFF is controlled by clocked into. At the time of the usual mode of operation, since a transistor Q32 turns on, the drain electrical potential difference of a transistor Q33 is set to about 0 V, and a transistor Q33 does not operate.

[0111] In addition, the 2nd leakage current control circuit 62 is the same configuration as the 1st leakage current control circuit 61. Moreover, it is the configuration that the power source by which the 3rd leakage current control circuit 63 is supplied to an inverter 74 is the pressure-up electrical potential difference VBOOT, and has five diodes D3-D7 by which the bias circuit 76 was connected to the serial, and NMOS transistors Q34. A clock / ϕC is supplied to the gate of the PMOS transistor which constitutes an inverter 74 through a level shifter 77. When a clock / ϕC is high level (VCC), the level shifter 77 is formed in order to make the above-mentioned PMOS transistor whose source is the pressure-up electrical potential difference VBOOT turn off.

[0112] It is the configuration same about a gate circuit 75 as the gate circuit of the 1st leakage current control circuit 61 and the 2nd leakage current control circuit 62. Since other configurations are the same as that of the 1st example, the explanation is omitted.

[0113] such a configuration -- setting -- 1st leakage current control circuit 61- when burn-in mode signal BIMD is a low level (at the time of normal operation), as for the 3rd leakage current control circuit 63, each gate circuit passes clock ϕA - ϕC , respectively. At this time, the clock which has the amplitude of VCC is outputted from the inverter 71 of the 1st leakage current control circuit 61 where clock ϕA and clock ϕB are inputted, and the 2nd leakage current control circuit 63, and the clock which has the amplitude of VBOOT is outputted from the inverter 74 of the 3rd leakage current control circuit 63 into which clock ϕC is inputted.

[0114] On the other hand, when burn-in mode signal BIMD is high level (at the time of a bar in trial), each gate circuit fixes an output to a low level, respectively, without passing a clock. for this reason, actuation of the NMOS transistor of each inverter -- stopping -- 1st leakage current control circuit 61- the low level of the 3rd leakage current control circuit 63 output voltage is set as predetermined level by the bias circuit, respectively.

[0115] A low level is decided by the configuration of the bias circuit shown in drawing 9 by the number of diodes, and the clock which has the amplitude of $V_{CC}-2V_{TH}$ is outputted in the forward voltage of one diode with it from V_{TH} then the 1st leak current-limiting circuit 61, and the 2nd leakage current control circuit 62. Moreover, the clock which has the amplitude of $V_{BOOT}-5V_{TH}$ is outputted from the 3rd leak current-limiting circuit 63.

[0116] At this time, as shown in drawing 10 and drawing 11 , the electrical potential difference of Node A and Node B is controlled by less than $[2V_{CC}-2V_{TH}]$ (less than $[8.5V]$), and the electrical potential difference of Node C is controlled by less than $[V_{CC}+V_{BOOT}-5V_{TH}]$ (less than $[8.5V]$). in addition, the thing in which the pressure-up electrical potential difference V_{BOOT} becomes settled by setting out of the judgment circuit 11 in this example -- it is -- leakage current control circuit [of ** a 1st] - it is not decided by having restricted the amplitude of a clock in the bias circuits 73 and 74 in the 3rd leakage current control circuit. In other words, bias circuits 73 and 74 hold down the electrical potential difference of node A-C to a predetermined value, it is for controlling leak of a joint and the pressure-up electrical potential difference V_{BOOT} is decided by the days of supply of the clock supplied from the clock generation circuit 12.

[0117] Although this example showed the example which makes diode connection of the NMOS transistor and sets the minimum of the clock amplitude as a predetermined electrical potential difference, diode connection of the PMOS transistor is made and you may make it set the upper limit of the amplitude of a clock as a predetermined electrical potential difference.

[0118] moreover -- this example -- clock ϕ_A - ϕ_C -- receiving -- 1st leakage

current control circuit 61- although the example which formed the 3rd leakage current control circuit 63 was shown, junction pressure-proofing of a transistor can determine the arrangement location suitably, for example, only the 3rd leakage current control circuit 63 is formed, and you may make it not form the 1st leakage current control circuit 61 and the 2nd leakage current control circuit 62 [0119] Next, the device structure of a semiconductor memory including the booster circuit of this example is explained.

[0120] Drawing 12 is the sectional side elevation showing the device structure of a semiconductor memory including the 2nd example of the booster circuit of this invention. In addition, drawing 12 shows only the structure of an important section required of the following explanation.

[0121] As shown in drawing 12, the semiconductor memory equipped with the booster circuit of this example has the P substrate 81 which consists of a P-type semiconductor, and in order that the P substrate 81 may prevent disappearing the charge stored in the capacitor of a memory cell field in a substrate noise etc., bias of it is carried out to -1.5V.

[0122] The NMOS transistor 82 is formed in the memory cell field. The NMOS transistor 85 formed in a field P well and the PMOS transistor 87 formed in a field 86 N well which is not illustrated [to which the same bias as the P substrate 81 or the P substrate 81 is supplied] exist in a circumference circuit field including a booster circuit.

[0123] Here, if it is set as external power electrical-potential-difference $V_{CC}=5V$ as conditions at the time of a burn in test, since the source or the drain of the NMOS transistor 85 corresponding to the NMOS transistors Q1-Q4 connected with Node A - Node C of a charge pump circuit as mentioned above is controlled by 8.5 or less, the potential difference with the P substrate 81 will be controlled by less than [10V].

[0124] Therefore, the adverse effect to actuation of the transistor in the memory cell field by lifting of the potential of the P substrate 81 generated because leakage current flows is lost.

[0125] Furthermore, even if it constitutes a booster circuit using the transistor of low pressure-proofing, in order for leakage current not to flow between a semiconductor substrate or a well or not to cause junction destruction, even if it forms inside P wells and supplies the same bias voltage, the potential of P substrate does not rise [same P substrate or] a memory cell field and circumference circuits, such as a booster circuit, according to leakage current. Therefore, the data recorded on the memory cell are not destroyed.

[0126] Moreover, the transistor of a booster circuit breaks by the burn in test, or the leakage current which flows in the direction of the P substrate 81 also disappears from the source or the drain of a transistor.

[0127] in addition, the 1st example -- like -- a well -- since it is not necessary to make a field into two or more layers, one creation process of a well can be reduced and a manufacturing cost can be reduced.

[0128] (The 3rd example) Drawing 13 is the circuit diagram showing the configuration of the 3rd example of the charge pump circuit which the booster circuit shown in drawing 1 has.

[0129] 1st leakage current control circuit 91- for the charge pump circuit of this example to restrict the amplitude of each clock (ϕA , ϕB , ϕC) in drawing 13 at the time of a burn in test -- the configuration of the 3rd leakage current control circuit 93 differs from the 2nd example. Moreover, the charge pump circuit of this example is the configuration of having the 4th inverter 94 which carries out the reversal output of the burn-in mode signal BIMD.

[0130] The 1st inverter 95 which the 1st leakage current control circuit 91 carries out the reversal output of the clock ϕA , and is outputted to the capacitor C1 for pressure up, Clock ϕA and burn-in mode signal BIMD are inputted, and reverse clock ϕA at the time of normal operation, and it outputs the output clock of the 1st inverter 95, and the clock of an inphase. It is the configuration of having 1st NAND gate 96 which suspends the output of a clock, and the capacitor C11 for pressure up by which the end was connected to the output of 1st NAND gate 96, and the other end was connected to the outgoing end of the capacitor C1 for

pressure up, at the time of a burn in test.

[0131] The 2nd inverter 97 which the 2nd leakage current control circuit 92 carries out the reversal output of the clock ϕB , and is outputted to the capacitor C2 for pressure up, Clock ϕB and burn-in mode signal BIMD are inputted, and reverse clock ϕB at the time of normal operation, and it outputs the output clock of the 2nd inverter 97, and the clock of an inphase. It is the configuration of having 2nd NAND gate 98 which suspends the output of a clock, and the capacitor C12 for pressure up by which the end was connected to the output of 2nd NAND gate 98, and the other end was connected to the outgoing end of the capacitor C2 for pressure up, at the time of a burn in test.

[0132] Moreover, the 3rd inverter 99 which the 3rd leakage current control circuit 93 carries out the reversal output of clock ϕC , and is outputted to the capacitor C3 for pressure up, Clock ϕC and burn-in mode signal BIMD are inputted, and reverse clock ϕC at the time of normal operation, and it outputs the output clock of the 3rd inverter 99, and the clock of an inphase. It is the configuration of having 3rd NAND gate 100 which suspends the output of a clock, and the capacitor C13 for pressure up by which the end was connected to the output of 3rd NAND gate 100, and the other end was connected to the outgoing end of the capacitor C3 for pressure up, at the time of a burn in test.

[0133] In addition, the external power electrical potential difference VCC is supplied to the 1st inverter 95, the 2nd inverter 97, 1st NAND gate 96, and 2nd NAND gate 98, and the pressure-up electrical potential difference VBOOT is supplied to the 3rd inverter 99 and 3rd NAND gate 100. Moreover, as for the 3rd inverter 99 and 3rd NAND gate 100, a clock / ϕC , and burn-in mode signal BIMD are supplied through level shifters 121 and 122, respectively. Since other configurations are the same as that of the 2nd example, the explanation is omitted.

[0134] such a configuration -- setting -- 1st leakage current control circuit 91- when burn-in mode signal BIMD is a low level (at the time of normal operation), as for the 3rd leakage current control circuit 93, each NAND gate passes clock

phi A-phi C, respectively. At this time, from the 1st inverter 95, the 2nd inverter 97, 1st NAND gate 96, 2nd NAND gate 98, and 3rd NAND gate 100, the clock which has the amplitude of VCC, respectively is outputted and the clock which has the amplitude of VBOOT is outputted from the 3rd inverter 99. Therefore, the clock which has the amplitude of 2VCC(s) is outputted from the 1st leakage current control circuit 91 and the 2nd leakage current control circuit 92, and the clock which has the amplitude of VBOOT+VCC is outputted from the 3rd leakage current control circuit 93.

[0135] On the other hand, when burn-in mode signal BMD is high level (at the time of a bar in trial), each NAND gate fixes an output high-level, respectively, without passing a clock. since only the 1st inverter 95 - the 3rd inverter 99 output a clock at this time -- 1st leakage current control circuit 91- from the 3rd leakage current control circuit 93, the clock of the amplitude by which the capacitive component rate was carried out with two capacitors for pressure up, respectively is outputted.

[0136] Therefore, like the 1st example and the 2nd example, the transistor of a charge pump circuit breaks by the burn in test, or the leakage current which flows in the direction of P substrate also disappears from the source or the drain of a transistor.

[0137] In addition, since the booster circuit shown in the 1st example of the above - the 2nd example is not the configuration which clamps or limits the electrical potential difference after the large pressure up of current actuation capacity like the 1st conventional example, a big loss current does not flow like the 1st conventional example, and the consumed electric current does not increase.

[0138]

[Effect of the Invention] Since this invention is constituted as explained above, the effectiveness indicated below is done so.

[0139] that the transistor of a booster circuit breaks by the burn in test since the electrical potential difference impressed to the diffusion layer of a transistor can

be stopped within a junction proof pressure even if an external power electrical potential difference becomes high **** -- the semi-conductor substrate from the source or the drain of a transistor, or a well -- the leakage current which flows in the direction of a field is lost. Moreover, the adverse effect to actuation of the transistor in the semi-conductor substrate generated because leakage current flows, or the memory cell field by lifting of the potential of a well is lost.

[0140] Furthermore, since it can manufacture at the same process as the transistor which it becomes unnecessary to create a transistor in another process for high pressure-proofing, and constitutes other circumference circuits, or the transistor of a memory cell, since it becomes unnecessary to add another mask and another process, a manufacturing cost can decrease, and the price of a semiconductor memory can be reduced. Moreover, since the size of a transistor does not become large, either, a chip area and a chip cost are not increased.

[0141] Moreover, since it is made the configuration not using the transistor for rectification which made diode connection like the 2nd conventional example, a voltage drop with the transistor for rectification can be reduced.

[0142] Moreover, since it was made to drive the 1st transistor by the high tension after pressure up, actuation capacity of the 1st transistor can be made high, and a voltage drop can be lessened even if it uses a small transistor. Therefore, the high charge pump circuit of rectifying efficiency is realizable.

[0143] even if it constitutes a booster circuit using the transistor of low pressure-proofing, in order [furthermore,] for leakage current not to flow between a semi-conductor substrate or a well or not to cause junction destruction -- a memory cell field and circumference circuits, such as a booster circuit, -- the same semi-conductor substrate or a well -- even if it forms inside, the potential of a semi-conductor substrate does not destroy the data which did not go up according to leakage current and were recorded on the memory cell

[Translation done.]

* NOTICES *

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.

2. **** shows the word which can not be translated.

3. In the drawings, any words are not translated.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] It is the block diagram showing the configuration of the semiconductor memory equipped with the booster circuit of this invention.

[Drawing 2] It is the circuit diagram showing the example of 1 configuration of the electrical-potential-difference detector which the booster circuit shown in drawing 1 has, and a judgment circuit.

[Drawing 3] It is the circuit diagram showing the example of 1 configuration of the clock generation circuit which the booster circuit shown in drawing 1 has.

[Drawing 4] It is the wave form chart showing the situation of actuation of the clock generation circuit shown in drawing 3 .

[Drawing 5] It is the circuit diagram showing the configuration of the 1st example of the charge pump circuit which the booster circuit shown in drawing 1 has.

[Drawing 6] It is the wave form chart showing the voltage waveform generated in each node of the charge pump circuit shown in drawing 5 .

[Drawing 7] It is the graph which shows the relation of the maximum electrical potential difference generated in each node to change of the external power electrical potential difference of the charge pump circuit shown in drawing 5 .

[Drawing 8] It is the sectional side elevation showing the device structure of a semiconductor memory including the 1st example of the booster circuit of this

invention.

[Drawing 9] It is the circuit diagram showing the configuration of the 2nd example of the charge pump circuit which the booster circuit shown in drawing 1 has.

[Drawing 10] It is the wave form chart showing the voltage waveform generated in each node of the charge pump circuit shown in drawing 9 .

[Drawing 11] It is the graph which shows the relation of the maximum electrical potential difference generated in each node to change of the external power electrical potential difference of the charge pump circuit shown in drawing 9 .

[Drawing 12] It is the sectional side elevation showing the device structure of a semiconductor memory including the 2nd example of the booster circuit of this invention.

[Drawing 13] It is the circuit diagram showing the configuration of the 3rd example of the charge pump circuit which the booster circuit shown in drawing 1 has.

[Drawing 14] It is the circuit diagram showing the configuration of the charge pump circuit which the conventional booster circuit has.

[Drawing 15] It is the wave form chart showing the voltage waveform generated in each node of the charge pump circuit shown in drawing 14 .

[Drawing 16] It is the graph which shows the relation of the maximum electrical potential difference generated in each node to change of the external power electrical potential difference of the charge pump circuit shown in drawing 14 .

[Description of Notations]

11 12 Memory cell field

2 Low Decoder

31 32 Column decoder

41 42 Sense amplifier

51-52n Word line selection circuitry

6 Pressure-Up Line

7 Booster Circuit

11 Judgment Circuit

12 Clock Generation Circuit
13 Charge Pump Circuit
14 Electrical-Potential-Difference Detector
21 Reference Voltage Generating Circuit
22 1st Comparator
23 2nd Comparator
24 1st Switch
25 2nd Switch
26, 71, 74 Inverter
31 Ring Oscillator
32 1st Delay Circuit
33 2nd Delay Circuit
34 3rd Delay Circuit
41 Leakage Current Control Circuit
42 1st Buffer
43 2nd Buffer
44 3rd Buffer
45, 46, 77 Level shift circuit
51 81 P substrate
52, 55, 82, 85 NMOS transistor
53 It is Field P Well.
54 Deep N -- Well -- Field
56 86 It is a field N well.
57 87 PMOS transistor
61 91 1st leakage current control circuit
62 92 2nd leakage current control circuit
63 93 3rd leakage current control circuit
72 75 Gate circuit
73 76 Bias circuit
94 4th Inverter

95 1st Inverter
96 1st NAND Gate
97 2nd Inverter
98 2nd NAND Gate
99 3rd Inverter
100 3rd NAND Gate
111 Pressure-Up Section
112 Pressure-Up Control Section
121 122 Level shifter
C1-C3, C11, C12 Capacitor for pressure up
D1-D7 Diode
Q1-Q4, Q11, Q12, Q21, Q32, Q33, Q34 NMOS transistor
Q22, Q31 PMOS transistor
R11-R18 Resistor

[Translation done.]

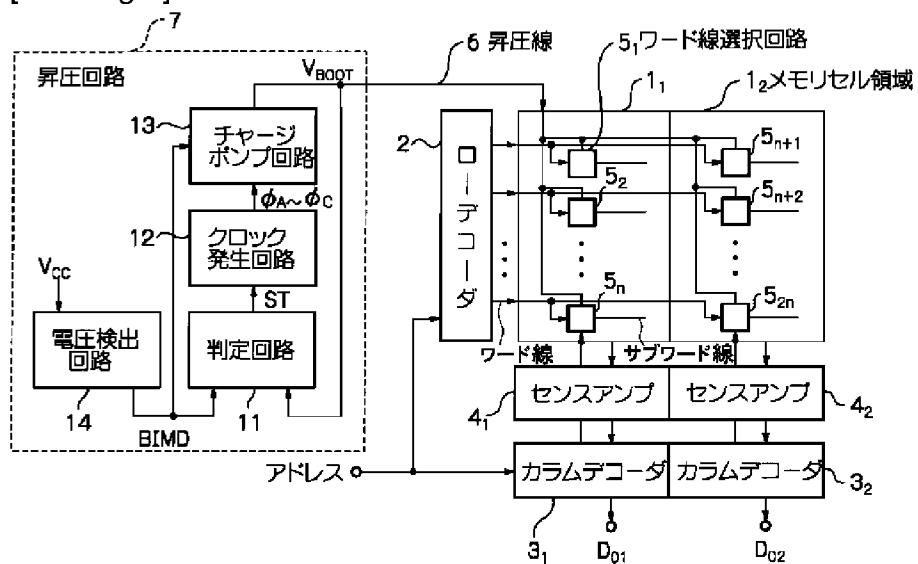
* NOTICES *

**JPO and NCIPI are not responsible for any
damages caused by the use of this translation.**

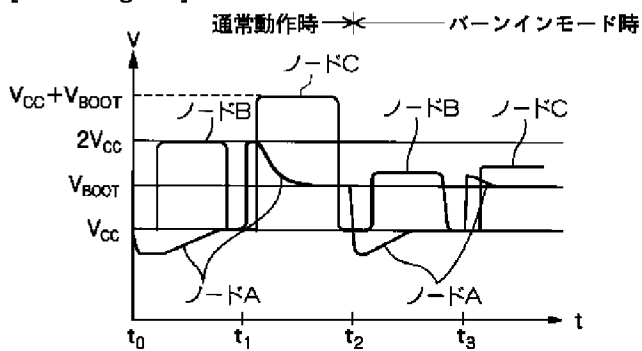
- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.**** shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

DRAWINGS

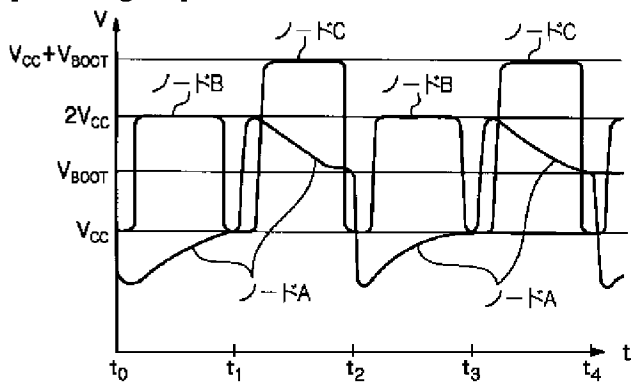
[Drawing 1]



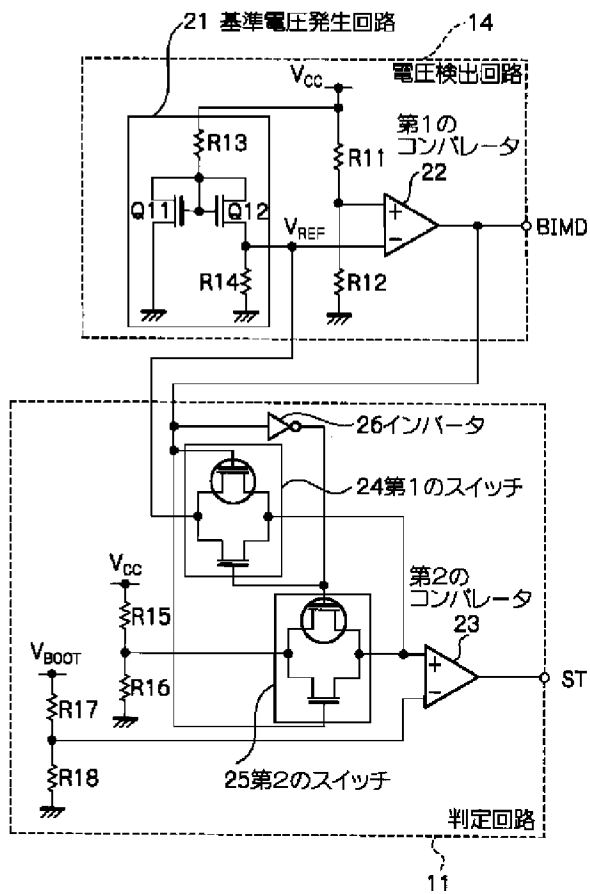
[Drawing 10]



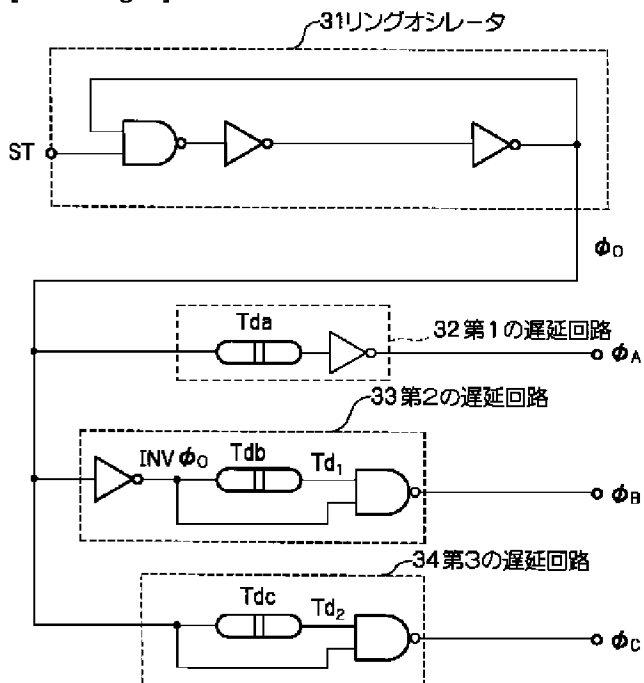
[Drawing 15]

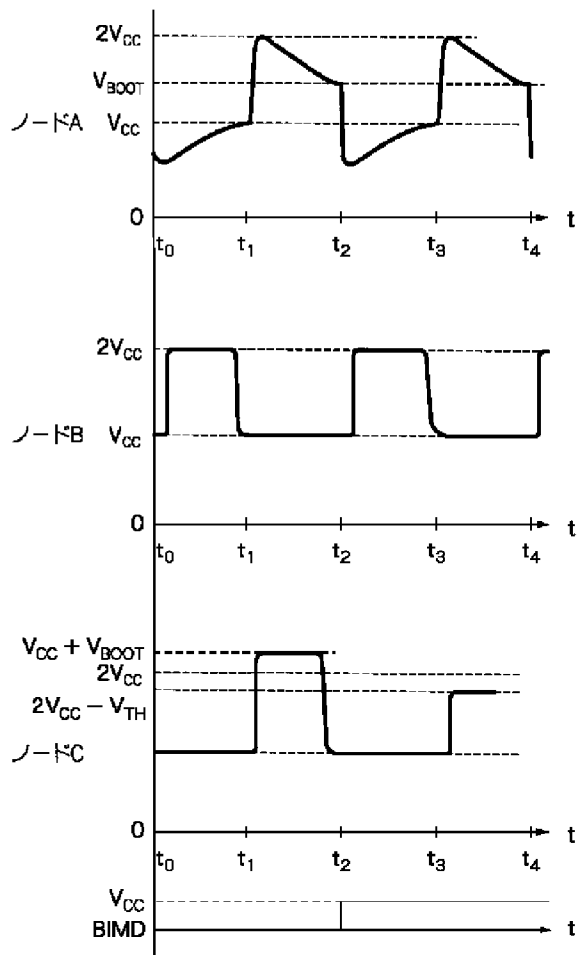


[Drawing 2]

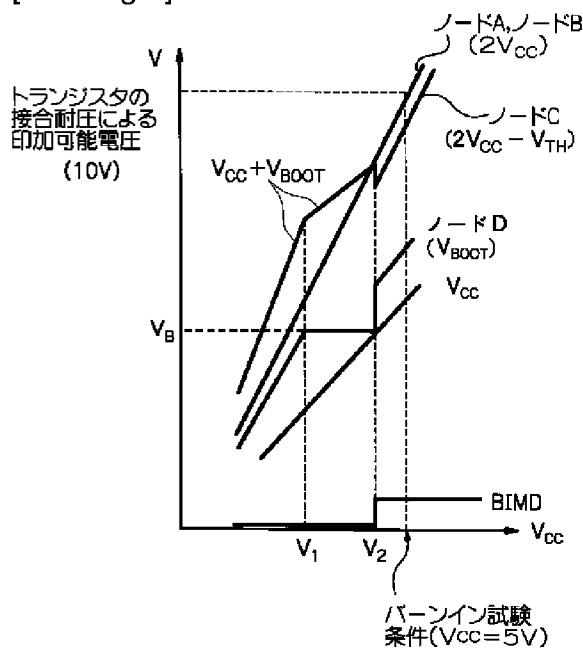


[Drawing 3]



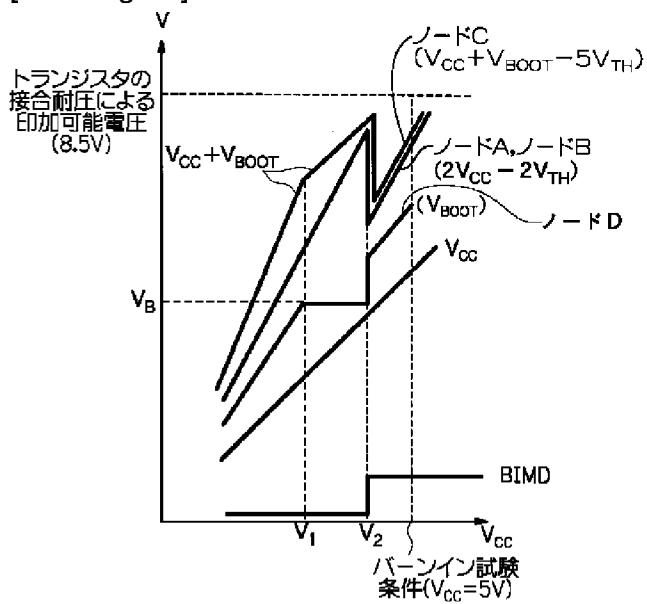


[Drawing 7]

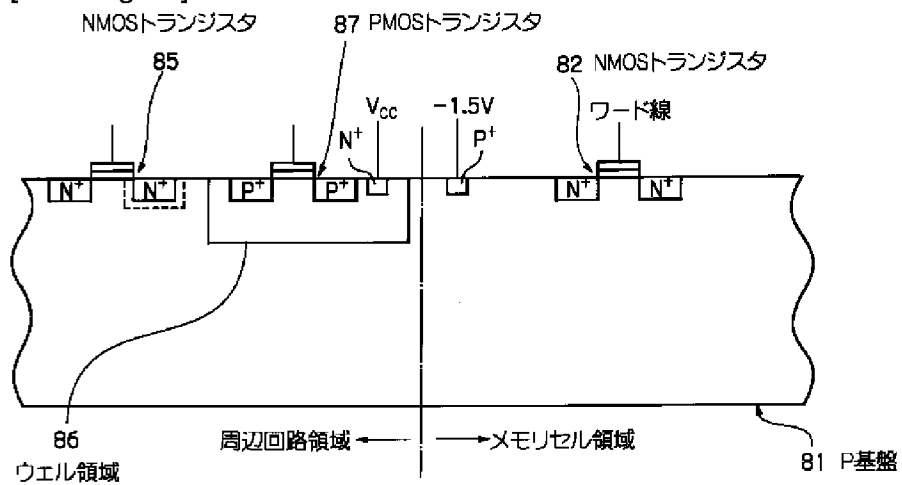


Plan view diagram of a semiconductor device. The diagram is divided into two main regions by a vertical line: the peripheral circuit region (周辺回路領域) on the left and the memory cell region (メモリスセル領域) on the right. The entire device is built on a P-substrate (51 P基盤). In the peripheral circuit region, there are NMOS transistors (55 NMOSTランジスタ) and PMOS transistors (57 PMOSTランジスタ). The PMOS transistors are connected to a V_{CC} supply line. The NMOS transistors are connected to a word line (ワード線) which is at -1.5V. In the memory cell region, there are NMOS transistors (52 NMOSTランジスタ) and a deep N-well region (54 ディープNウェル領域). The peripheral circuit region also includes an N-well region (56 Nウェル領域) and a P-well region (53 Pウェル領域). The diagram shows various doped regions (N⁺, P⁺) and gates.

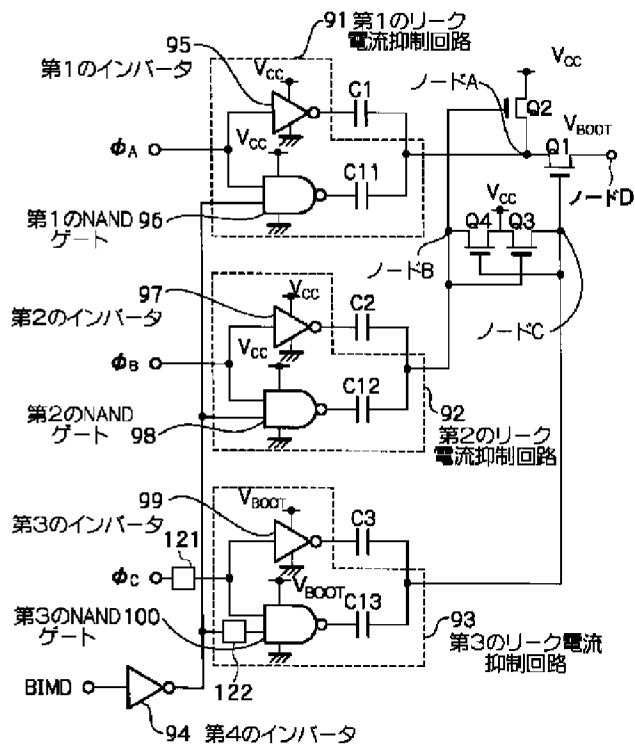
[Drawing 11]



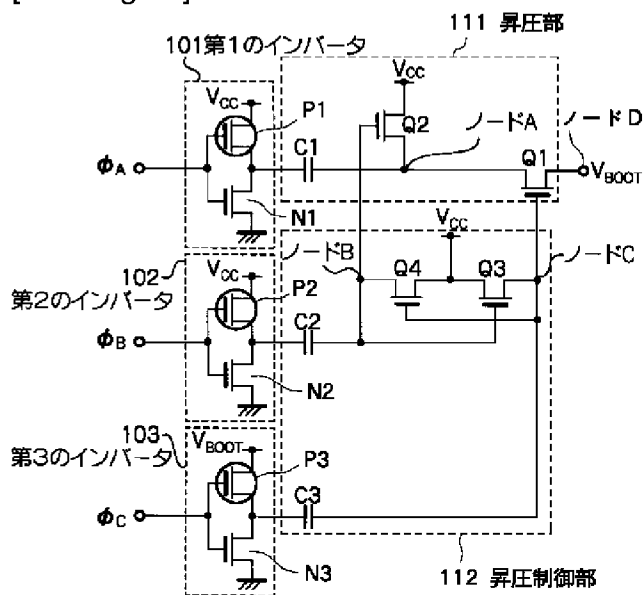
[Drawing 12]



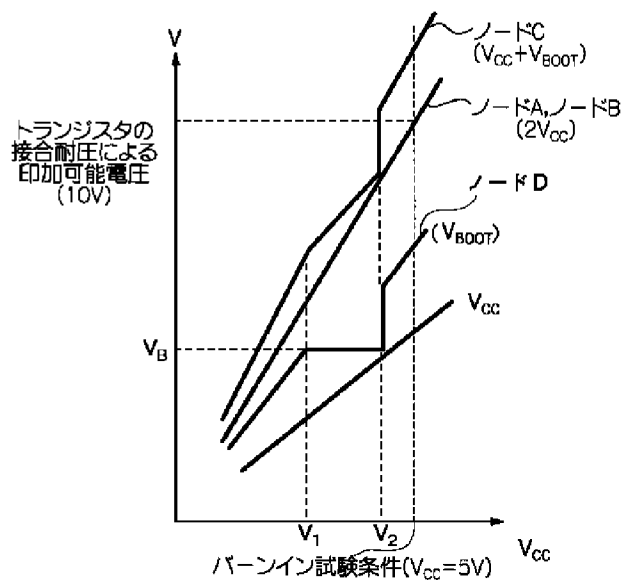
[Drawing 13]



[Drawing 14]



[Drawing 16]



[Translation done.]

【特許請求の範囲】

【請求項1】 所定の周期から成る第1のクロックが入力される第1の昇圧用キャパシタと、

前記第1のクロックがロウレベルの期間内でハイレベルとなる第2のクロックが入力される第2の昇圧用キャパシタと、

前記第1のクロックがハイレベルの期間内でハイレベルとなる第3のクロックが入力される第3の昇圧用キャパシタと、

前記第1の昇圧用キャパシタの出力クロックが入力され、前記第3の昇圧用キャパシタの出力クロックにしたがってオン／オフし、外部から供給される外部電源電圧よりも高い昇圧電圧を出力するための第1のトランジスタと、

前記第2の昇圧用キャパシタの出力クロックにしたがってオン／オフし、前記第1の昇圧用キャパシタの出力電圧を外部電源電圧でバイアスするための第2のトランジスタと、

前記第2の昇圧用キャパシタの出力クロックにしたがってオン／オフし、前記第3の昇圧用キャパシタの出力電圧を外部電源電圧でバイアスするための第3のトランジスタと、

前記第3の昇圧用キャパシタの出力クロックにしたがってオン／オフし、前記第2の昇圧用キャパシタの出力電圧を外部電源電圧でバイアスするための第4のトランジスタと、を有し、前記第1のクロック、前記第2のクロック、及び前記第3のクロックによって倍圧整流を行い、前記昇圧電圧を出力するチャージポンプ回路であって、

通常の動作時は前記第3のクロックを前記昇圧電圧の振幅で出力し、バーンイン試験時は前記第3のクロックを前記外部電源電圧の振幅で出力するリーク電流抑制回路を有するチャージポンプ回路。

【請求項2】 前記リーク電流抑制回路は、入力された前記第3のクロックを、供給される電源電圧と等しい振幅に変換して出力するバッファ回路と、通常の動作時に前記バッファ回路に前記電源電圧として前記昇圧電圧を供給する第5のトランジスタと、バーンイン試験時に前記バッファ回路に前記電源電圧として前記外部電源電圧を供給する第6のトランジスタと、を有する請求項1記載のチャージポンプ回路。

【請求項3】 所定の周期から成る第1のクロックが入力される第1の昇圧用キャパシタと、

前記第1のクロックがロウレベルの期間内でハイレベルとなる第2のクロックが入力される第2の昇圧用キャパシタと、

前記第1のクロックがハイレベルの期間内でハイレベルとなる第3のクロックが入力される第3の昇圧用キャパシタと、

前記第1の昇圧用キャパシタの出力クロックが入力さ

れ、前記第3の昇圧用キャパシタの出力クロックにしたがってオン／オフし、外部から供給される外部電源電圧よりも高い昇圧電圧を出力するための第1のトランジスタと、

前記第2の昇圧用キャパシタの出力クロックにしたがってオン／オフし、前記第1の昇圧用キャパシタの出力電圧を外部電源電圧でバイアスするための第2のトランジスタと、

前記第2の昇圧用キャパシタの出力クロックにしたがってオン／オフし、前記第3の昇圧用キャパシタの出力電圧を外部電源電圧でバイアスするための第3のトランジスタと、

前記第3の昇圧用キャパシタの出力クロックにしたがってオン／オフし、前記第2の昇圧用キャパシタの出力電圧を外部電源電圧でバイアスするための第4のトランジスタと、を有し、前記第1のクロック、前記第2のクロック、及び前記第3のクロックによって倍圧整流を行い、前記昇圧電圧を出力するチャージポンプ回路であって、

通常の動作時は前記第1のクロックを前記外部電源電圧の振幅で出力し、バーンイン試験時は前記第1のクロックを前記外部電源電圧よりも低い所定の振幅で出力する第1のリーク電流抑制回路と、

通常の動作時は前記第2のクロックを前記外部電源電圧の振幅で出力し、バーンイン試験時は前記第2のクロックを前記外部電源電圧よりも低い所定の振幅で出力する第2のリーク電流抑制回路と、

通常の動作時は前記第3のクロックを前記昇圧電圧の振幅で出力し、バーンイン試験時は前記第3のクロックを前記昇圧電圧よりも低い所定の振幅で出力する第3のリーク電流抑制回路と、を有するチャージポンプ回路。

【請求項4】 前記第1のリーク電流抑制回路、前記第2のリーク電流抑制回路、及び第3のリーク電流抑制回路は、

入力されたクロックを反転出力するインバータと、バーンイン試験時に前記インバータのロウレベルを出力するための第5のトランジスタの動作を停止させるゲート回路と、

前記バーンイン試験時に前記第5のトランジスタに代わって前記インバータのロウレベルの出力電圧を所定の電圧に設定するバイアス回路と、をそれぞれ有する請求項3記載のチャージポンプ回路。

【請求項5】 前記バイアス回路は、直列に接続された複数のダイオードと、前記ダイオードと直列に接続され、前記インバータのロウレベルの出力電圧を所定の電圧に設定するために前記第5のトランジスタに代わって動作する第6のトランジスタと、を有する請求項4記載のチャージポンプ回路。

【請求項6】 前記第1のリーク電流抑制回路は、入力された第1のクロックを反転し、前記第1の昇圧用

キャパシタに出力する第1のインバータと、
 通常の動作時に該第1のインバータの出力クロックと同相のクロックを出力し、バーンイン試験時に該クロックの出力を停止する第1のゲート回路と、
 前記第1のゲート回路の出力に一端が接続され、前記第1の昇圧用キャパシタの出力端に他端が接続された第4の昇圧用キャパシタと、を有し、
 前記第2のリーク電流抑制回路は、
 入力された第2のクロックを反転し、前記第2の昇圧用キャパシタに出力する第2のインバータと、
 通常の動作時に該第2のインバータの出力クロックと同相のクロックを出力し、バーンイン試験時に該クロックの出力を停止する第2のゲート回路と、
 前記第2のゲート回路の出力に一端が接続され、前記第2の昇圧用キャパシタの出力端に他端が接続された第5の昇圧用キャパシタと、を有し、
 前記第3のリーク電流抑制回路は、
 入力された第3のクロックを反転し、前記第3の昇圧用キャパシタに出力する第3のインバータと、
 通常の動作時に該第3のインバータの出力クロックと同相のクロックを出力し、バーンイン試験時に該クロックの出力を停止する第3のゲート回路と、
 前記第3のゲート回路の出力に一端が接続され、前記第3の昇圧用キャパシタの出力端に他端が接続された第6の昇圧用キャパシタと、を有する請求項3記載のチャージポンプ回路。

【請求項7】 請求項1乃至6のいずれか1項記載のチャージポンプ回路と、
 前記第1のクロック、前記第2のクロック、及び前記第3のクロックを生成し、前記チャージポンプ回路にそれぞれ出力するクロック発生回路と、
 基準電圧に基づいて生成される所定の設定電圧と前記昇圧電圧を比較し、前記昇圧電圧が該設定電圧よりも大きければステータス信号として前記クロック発生回路の発振を停止させるための信号を送信し、前記昇圧電圧が該設定電圧以下であればステータス信号としてクロック発生回路に発振を継続させるための信号を送信する判定回路と、
 前記外部電源電圧のレベルを検出し、所定の動作電圧以上、またはバーンイン試験の実行を指示する信号が入力されたときに、バーンイン試験に対応するモードへの切替を指示するバーンインモード信号を出力する電圧検出回路と、を有する昇圧回路。

【請求項8】 電源電圧を昇圧した昇圧電圧を出力する昇圧部と、
 前記昇圧電圧より高電圧のスイッチング信号を前記昇圧部に出力する昇圧制御部と、
 前記昇圧制御部内に生じる最大電圧を、前記昇圧制御部を構成するトランジスタのリーク開始電圧以下に抑えるリーク電流抑制手段と、を有する昇圧回路。

【請求項9】 前記リーク電流抑制手段は、第1の動作モード及び第2の動作モードを有し、
 前記第2の動作モード時の前記スイッチング信号の電源電圧に対する振幅比率が前記第1の動作モード時より小さい請求項8記載の昇圧回路。

【請求項10】 前記リーク電流抑制手段は、
 該リーク電流抑制手段を構成する論理ゲートに供給する電源電圧を切り替えることにより前記振幅比率を小さくする請求項9記載の昇圧回路。

【請求項11】 前記リーク電流抑制手段は、
 該リーク電流抑制手段に供給するクロックの振幅を切り替えることにより前記振幅比率を小さくする請求項9記載の昇圧回路。

【請求項12】 前記リーク電流抑制手段は、第1の動作モード及び第2の動作モードを有し、
 前記第2の動作モード時の前記スイッチング信号の損失比率が前記第1の動作モード時より大きい請求項8記載の昇圧回路。

【請求項13】 前記リーク電流抑制手段は、
 前記スイッチング信号を容量分割することにより前記損失比率を大きくした請求項12記載の昇圧回路。

【請求項14】 電源電圧を昇圧した昇圧電圧を出力する昇圧部と、
 前記昇圧電圧より高電圧のスイッチング信号を前記昇圧部に出力する昇圧制御部と、
 前記昇圧制御部内に生じる最大電圧を、前記昇圧制御部を構成する第1のトランジスタのリーク開始電圧以下に抑えるリーク電流抑制手段と、
 メモリ部を構成する第2のトランジスタと、を備え、
 前記第1のトランジスタ及び前記第2のトランジスタが同一の半導体基板またはウエルに形成された半導体記憶装置。

【請求項15】 電源電圧を昇圧した昇圧電圧を出力する昇圧部と、
 前記昇圧電圧より高電圧のスイッチング信号を前記昇圧部に出力する昇圧制御部と、
 前記昇圧制御部内に生じる最大電圧を、前記昇圧制御部を構成する第1のトランジスタのリーク開始電圧以下に抑えるリーク電流抑制手段と、
 メモリ部を構成する第2のトランジスタと、を備え、
 前記第1のトランジスタが第1のウエル領域に形成され、
 前記第2のトランジスタが第2のウエル領域に形成され、
 前記第1のウエル領域と前記第2のウエル領域が同一のウエル電位バイアス手段に接続された半導体記憶装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は外部から供給される外部電源電圧を昇圧する昇圧回路に関し、特に半導体記

憶装置のワード線に印加する昇圧電圧などを発生する昇圧回路に関する。

【0002】

【従来の技術】近年の半導体記憶装置などの半導体集積回路装置では、外部から供給される外部電源電圧 V_{CC} をそのまま用いるのではなく、内部電圧発生回路によって降圧、または昇圧して所定の内部電圧を生成し、生成した内部電圧を必要とする内部回路に供給することにより、低消費電力化や素子の信頼性向上を図っている。

【0003】例えば、DRAM (Dynamic Random Access memory) などのメモリセルは、記憶用のキャパシタとスイッチ用のトランジスタとを有し、スイッチ用のトランジスタとしてNチャネルMOS型電界効果トランジスタ（以下、NMOSTランジスタと称す）を用いる場合、トランジスタのドレインはビット線に接続され、ゲートはワード線に接続され、ソースは記憶用キャパシタを介して接地される。ここで、メモリセルに用いるスイッチ用のトランジスタはしきい値電圧 V_{TH} を有しているため、ゲートにソース電位よりもしきい値電圧 V_{TH} だけ高い電圧を印加しないとオンさせることはできない。通常、ソース電位は $0V \sim V_{CC}$ 間で変化するため、スイッチ用のトランジスタをオンさせるためにはゲートに $(V_{CC} + V_{TH})$ 以上の電圧を印加する必要がある。昇圧回路は、このようにメモリセルのスイッチ用のトランジスタのゲート（ワード線）に印加する昇圧電圧などを生成するために用いられる。

【0004】一方、近年の半導体集積回路で用いられるトランジスタの耐圧は微細化に伴って低下する傾向にある。そのために電源電圧を下げなければならないが、TTL (Transistor Transistor Logic) などのICと同一の電源を用いるために、外部から供給される外部電源電圧 V_{CC} はそのままにし、チップ内に設けた降圧電源回路により外部電源電圧 V_{CC} を降圧して内部回路に供給する方法が採られている。

【0005】例えば、外部電源電圧 V_{CC} を $5V$ としたとき、内部電源電圧 V_{INT} は降圧電源回路によって $3.3V$ に降圧される。なお、トランジスタのしきい値電圧 V_{TH} はトランジスタのサイズが微細化されても電源電圧のようにスケールダウンすることはない。

【0006】ところで、半導体集積回路の製造後には、初期不良を除くためにバーンイン試験が実施される。バーンイン試験では通常の外部電源電圧 V_{CC} よりも高い電圧が被試験対象である半導体集積回路に印加される。また、DRAM等では電荷保持特性を向上させるために基板が負電圧にバイアスされることもある。このような場合、昇圧回路に用いられるトランジスタには、昇圧電圧と基板に対するバイアス分とを加算した電圧が印加されるため、接合耐圧を越える電圧が印加された場合には破壊に至ることもある。

【0007】そこで、特開平6-140889号公報

（以下、第1従来例と称す）では、昇圧電圧をクランプするクランプ回路と、そのクランプ電圧を変更するためのクランプ制御手段とを有し、通常動作時とバーンイン試験時とでクランプ電圧を変化させることで昇圧回路内のトランジスタの接合破壊を防止した半導体装置を提案している。

【0008】第1従来例に記載された半導体装置では、高電圧が必要とき（例えば、メモリアクセス時）のみ昇圧回路を動作させ、高電圧が必要でないときは昇圧回路の出力をクランプ回路を介して接地電位に接続し、昇圧電圧を供給するための昇圧線の電圧を接地電位に一致させている。

【0009】このような構成では、昇圧線に寄生容量があるため、昇圧回路はメモリアクセスされるたびに全ての昇圧線の寄生容量を充電し、アクセス終了毎に昇圧線の寄生容量に蓄積された電荷を放電する必要がある。特に、近年の半導体記憶装置ではメモリ容量の増大に伴って昇圧線が長くなる傾向にあるため、寄生容量が大きくなり、昇圧回路の消費電流が増大してしまう。

【0010】また、昇圧線の寄生容量に蓄積された電荷をクランプ回路を介して放電させるため、このクランプ回路による損失電流も昇圧回路の消費電流を増加させる要因となる。しかも、昇圧された出力は上記理由により電流供給能力の高いトランジスタで構成されているため、クランプ回路には後述する第2従来例よりも大きな損失電流が流れることになる。

【0011】さらに、メモリアクセス時には、まず、昇圧回路を動作させ、その後、昇圧線を充電するため、昇圧線につながるワード線の電圧が所定の値に到達するまでに時間がかかってしまい、情報の読み書き速度が低下する。昇圧線を短時間で所定の電圧に到達させるためには、昇圧用のキャパシタの容量を昇圧線の寄生容量に比べて大きくすればよい。しかしながら、キャパシタの容量を大きくするとチップ面積が増大してしまう。

【0012】このような第1従来例の問題を解決するため、特開平6-153493号公報（以下、第2従来例と称す）では、昇圧電圧を常に出力しておき、所定の制御回路によってワード線との接続をON/OFFさせる昇圧回路を提案している。

【0013】第2従来例の構成では、昇圧線が常に充電されているため、昇圧線の充放電に伴う消費電力の増加を抑制することができ、ワード線の立ち上がり時間が遅くなることもない。また、昇圧用のキャパシタの容量を大きくする必要がないため、チップ面積が増大することがない。

【0014】さらに、第2従来例では昇圧電圧を制限するリミッタを設け、昇圧用のクロックを駆動するクロックドライバの出力振幅を制限する昇圧クロック電圧制御回路を設けているため、リミッタを含む昇圧回路の消費電力を低減できる。

【0015】しかしながら、第2従来例では、昇圧用のクロックを整流するためのダイオードとしてドレインとゲートを接続したMOSトランジスタを用いているため、ダイオードによる電圧降下が大きく、整流効率が悪い、所望の昇圧電圧が得られないという問題が生じる。

【0016】そこで、特開平6-14529号公報（以下、第3従来例と称す）では、第2従来例のようにトランジスタをダイオード接続するのではなく、トランジスタをスイッチング動作させることで整流効率を向上させた昇圧回路を記載している。

【0017】図14は従来の昇圧回路が有するチャージポンプ回路の構成を示す回路図である。

【0018】図14に示すように、第3従来例の昇圧回路が有するチャージポンプ回路は、所定の周期から成るクロック ϕA を反転し、外部電源電圧 V_{CC} の振幅で出力する第1のインバータ101と、所定の周期から成るクロック ϕB を反転し、外部電源電圧 V_{CC} の振幅で出力する第2のインバータ102と、所定の周期から成るクロック ϕC を反転し、昇圧電圧 V_{BOOT} の振幅で出力する第3のインバータ103と、第1のインバータ101～第3のインバータ103の出力端に接続される昇圧用キャパシタC1、C2、C3と、昇圧用キャパシタC1の出力クロックが入力され、昇圧用キャパシタC3の出力クロックにしたがってオン／オフし、外部から供給される外部電源電圧 V_{CC} よりも高い昇圧電圧 V_{BOOT} を出力するためのNMOSTランジスタQ1と、昇圧用キャパシタC2の出力クロックにしたがってオン／オフし、昇圧用キャパシタC1の出力電圧を外部電源電圧 V_{CC} でバイアスするためのNMOSTランジスタQ2と、昇圧用キャパシタC2の出力クロックにしたがってオン／オフし、昇圧用キャパシタC3の出力電圧を外部電源電圧 V_{CC} でバイアスするためのNMOSTランジスタQ3と、昇圧用キャパシタC3の出力クロックにしたがってオン／オフし、昇圧用キャパシタC2の出力電圧を外部電源電圧 V_{CC} でバイアスするためのNMOSTランジスタQ4とを有し、クロック ϕA 、 ϕB 、 ϕC によって倍圧整流を行い、昇圧電圧を出力する構成である。ここで、インバータ101～103は、それぞれPチャネルトランジスタP1、P2、P3とNチャネルトランジスタN1、N2、N3で構成される。また、トランジスタQ1、Q2と昇圧用キャパシタC1からなるブロックを昇圧部111とし、トランジスタQ3、Q4と昇圧用キャパシタC2、C3からなるブロックを昇圧制御部112とする。

【0019】図15は図14に示したチャージポンプ回路の各ノードに発生する電圧波形を示す波形図である。また、図16は図14に示したチャージポンプ回路の外部電源電圧の変化に対するノードA、B、Cに発生する最大電圧を示し、ノードDの電圧 V_{BOOT} はその設定値を示している。ノードDの電圧 V_{BOOT} は、負荷容量（不図

示）で平滑化され、判定回路（不図示）で制御されているため、電源電圧が V_1 以上では、常にほぼ設定値の電圧になる。

【0020】図15を参照して図14に示したチャージポンプ回路の動作について説明する。なお、貫通電流を防止するため、クロック ϕB 、 ϕC はデューティ比が50%以下に設定してあるが、以下の説明では、デューティ比が50%、すなわち、クロック ϕA の立ち上がり／立ち下がりと同時にクロック ϕB 、 ϕC も立ち上がり／立ち下がりするものとして説明する。

【0021】時刻 t_0 でクロック ϕA 、 ϕC がハイレベル、クロック ϕB がロウレベルになると、インバータ101、103の出力はロウレベルになり、インバータ102の出力はハイレベルになる。このとき、トランジスタQ2、Q3、N1、P1、N3がオンし、Q1、Q4、P1、N2、P3がオフする。

【0022】ノードBは、電源電圧（以下、 V_{CC} と記す）に充電されていたキャパシタC2にインバータ102のハイレベル出力が加算されて $2V_{CC}$ となる。キャパシタC1のインバータ101端がロウレベルに放電されるので、ノードAの電位は一瞬低下するが、ノードBの電圧 $2V_{CC}$ がトランジスタQ2のゲートに供給されると、トランジスタQ2がオンするためキャパシタC1のノードAは徐々に V_{CC} に充電される。

【0023】同様に、トランジスタQ3、N3がオンするため、キャパシタC3のノードC側はチャージポンプ回路の出力である昇圧電圧 V_{BOOT} に充電され、他端は接地電位に放電される。

【0024】時刻 t_1 で、クロック ϕA 、 ϕC がロウレベル、クロック ϕB がハイレベルになると、インバータ101、103の出力はハイレベルになり、インバータ102の出力はロウレベルになる。このとき、トランジスタQ2、Q3、N1、P1、N3がオフし、Q1、Q4、P1、N2、P3がオンする。

【0025】ノードCは、 V_{BOOT} に充電されたキャパシタC3にインバータ103のハイレベル出力が加算されて $V_{CC}+V_{BOOT}$ となる。また、キャパシタC1のインバータ101端が V_{CC} に充電されるので、ノードA側はそれまでの V_{CC} に該 V_{CC} が加算され、ノードAの電位は $2V_{CC}$ になる。ノードCの電位が $V_{CC}+V_{BOOT}$ となり、トランジスタQ1のゲートに供給されると、トランジスタQ1がオンするため、昇圧電圧 V_{BOOT} として $2V_{CC}$ が出力される。しかしながら、キャパシタC1に充電された電荷が放電するにつれてノードAの電位は徐々に低下する。

【0026】このとき、トランジスタQ4、N2がオンするため、キャパシタC2のノードB側は V_{CC} に充電され、他端は接地電位に放電される。

【0027】以下、時刻 t_0 、 t_1 と同様の動作が繰り返されて、チャージポンプ回路は昇圧電圧 V_{BOOT} を出力

し続ける。

【0028】ここで、インバータ103のPチャネルトランジスタのソースに V_{B00T} を印加する理由は以下のとおりである。トランジスタQ1はNMOSTランジスタであり、そのドレインはノードAに接続され、時刻 t_1 で $2V_{CC}$ に昇圧された電圧が供給される。

【0029】もし、トランジスタQ1のゲートに $2V_{CC}$ を供給してトランジスタQ1をオンさせたすると、通常、ソース電圧はゲート電圧よりトランジスタQ1のしきい値電圧 V_{TH} だけ低い電圧となる。このため、トランジスタQ1のソースは $2V_{CC} - V_{TH}$ の昇圧電圧が出力され、しきい値電圧 V_{TH} 分の損失が生じることになり、昇圧効率を低下させてしまう。

【0030】この損失を低減するためには、トランジスタQ1のゲートに供給する電圧を $2V_{CC} + V_{TH}$ 以上の電圧にすればよく、第3従来例では昇圧電圧 V_{B00T} を利用して生成している。

【0031】図15、図16に示すように、第3従来例のチャージポンプ回路では、ノードAに接続されたNMOSTランジスタQ1のソースまたはドレイン、及びノードBに接続されたNMOSTランジスタQ2のゲートに、それぞれ $2V_{CC}$ の電圧が供給され、ノードCに接続されるNMOSTランジスタQ1のゲートに $(V_{CC} + V_{B00T})$ の電圧が印加される。

【0032】図16において、電源電圧 V_{CC} が増加すると、ノードA、Bも比例して増加する。これに対してノードDは、電源電圧が V_1 になるまで V_{CC} に比例して増加するが、電源電圧 V_{CC} が $V_1 \sim V_2$ の範囲内では一定となっている。これは、半導体集積回路が電源電圧 $V_1 \sim V_2$ の範囲内（以下、通常動作電圧と称す）で使用されており、通常動作電圧では、半導体集積回路の性能が電源電圧に依存しないようにするため、昇圧電圧 V_{B00T} は図示しない安定化手段により出力電圧が一定になるように制御されているためである。電源電圧が V_2 を越えると安定化手段の基準電圧を、電源電圧 V_{CC} を抵抗分割した電圧に変更するため、再び V_{CC} に比例して増加するが、その傾きは V_1 までの傾きより緩やかになっている。また、ノードCの変化もノードDの変化に対応して変化する。

【0033】このように、通常動作電圧では、昇圧電圧 V_{B00T} は所定の電圧に抑えているが、バーンイン試験のように短時間で効率的に初期不良を除去するためには、通常動作電圧よりも高い電圧を内部回路に供給して加速試験することが一般的である。

【0034】

【発明が解決しようとする課題】上述したように、近年の半導体集積回路で用いられるトランジスタの耐圧は微細化に伴って低下する傾向にある。このような状況で、トランジスタのソースまたはドレインに $2V_{CC}$ あるいは $V_{B00T} + V_{CC}$ の電圧が印加されると、ソースまたはドレ

インの拡散層から半導体基板、またはウエル領域にリーク電流が流れ、最悪の場合に拡散層の接合部が破壊される。

【0035】例えば、半導体基板の電位を0Vとし、接合耐圧が10Vのトランジスタで図14に示したようなチャージポンプ回路を構成した場合、外部電源電圧 V_{CC} として、通常動作電圧 V_2 が3.6Vであり、安定化された昇圧電圧 V_{B00T} が4.5Vであるとする、ノードA、Bは最大7.2V、ノードCは最大8.1Vになる。このように、通常動作電圧ではトランジスタの接合耐圧以内であり、半導体集積回路は問題なく動作する。

【0036】しかしながら、バーンイン試験時では外部電源電圧 V_{CC} として5Vが供給されると、ノードCにつながるNMOSTランジスタQ3のドレインには $10V + \alpha$ が印加されるため、トランジスタのドレインから基板方向にリーク電流が流れ、接合破壊を起こすおそれがある。

【0037】一般に、メモリセル領域のキャパシタに蓄えられた電荷が半導体基板のノイズなどで消失するのを防止するため、ウエル電位は-1.5V程度にバイアスされ、さらにウエル領域を減らすことで製造工程を削減した半導体記憶装置ではメモリセル領域と周辺回路領域とが同一のウエル領域に形成され、しかもそのウエル電位が同一に設定されている。したがって、ノードBにつながるNMOSTランジスタQ4のドレインには11.5Vが印加され、ノードCにつながるNMOSTランジスタQ3のドレインには $11.5V + \alpha$ が印加されるため、リーク電流の発生や接合破壊の可能性がより高まることになる。

【0038】また、接合破壊に至らなくても、トランジスタのソースまたはドレインと半導体基板との間にリーク電流が流れた場合、ウエル領域の電位が上昇し、メモリセル領域に設けられたトランジスタのソース、ドレインがウエル電位に対して順方向にバイアスされるため、記憶用キャパシタに蓄えられていた電荷が瞬時に放電し、記録されていたデータが消失してしまう。

【0039】これらの問題はトランジスタの接合耐圧を上げれば済むことであるが、ソース/ドレインとなる拡散層の不純物濃度を他のトランジスタよりも薄くする必要があるため、別のマスクを用意して別工程で作成しなければならない。このことは半導体集積回路のコストアップの要因となる。また、トランジスタのサイズも大きくなるため、チップ面積、チップ原価が増大する。

【0040】本発明は上記したような従来の技術が有する問題点を解決するためになされたものであり、バーンイン試験時においても通常の動作電圧よりも高い内部電圧を発生することが可能であり、高耐圧のトランジスタを使うことなく、高電圧で大電流を得ることができる整流効率の高いチャージポンプ回路及びそれを用いた昇圧回路を提供することを目的とする。

【0041】また、メモリセル領域と同一工程で作成したトランジスタで構成しても、バーンイン試験時において、接合部でリークが起こり難く、メモリセルに記憶されたデータの消失がないチャージポンプ回路及びそれを用いた昇圧回路を提供することを目的とする。

【0042】

【課題を解決するための手段】上記目的を達成するため本発明のチャージポンプ回路は、所定の周期から成る第1のクロックが入力される第1の昇圧用キャパシタと、前記第1のクロックがロウレベルの期間内でハイレベルとなる第2のクロックが入力される第2の昇圧用キャパシタと、前記第1のクロックがハイレベルの期間内でハイレベルとなる第3のクロックが入力される第3の昇圧用キャパシタと、前記第1の昇圧用キャパシタの出力クロックが入力され、前記第3の昇圧用キャパシタの出力クロックにしたがってオン／オフし、外部から供給される外部電源電圧よりも高い昇圧電圧を出力するための第1のトランジスタと、前記第2の昇圧用キャパシタの出力クロックにしたがってオン／オフし、前記第1の昇圧用キャパシタの出力電圧を外部電源電圧でバイアスするための第2のトランジスタと、前記第2の昇圧用キャパシタの出力クロックにしたがってオン／オフし、前記第3の昇圧用キャパシタの出力電圧を外部電源電圧でバイアスするための第3のトランジスタと、前記第3の昇圧用キャパシタの出力クロックにしたがってオン／オフし、前記第2の昇圧用キャパシタの出力電圧を外部電源電圧でバイアスするための第4のトランジスタと、を有し、前記第1のクロック、前記第2のクロック、及び前記第3のクロックによって倍圧整流を行い、前記昇圧電圧を出力するチャージポンプ回路であって、通常の動作時は前記第3のクロックを前記昇圧電圧の振幅で出力し、バーンイン試験時は前記第3のクロックを前記外部電源電圧の振幅で出力するリーク電流抑制回路を有する構成である。

【0043】このとき、前記リーク電流抑制回路は、入力された前記第3のクロックを、供給される電源電圧と等しい振幅に変換して出力するバッファ回路と、通常の動作時に前記バッファ回路に前記電源電圧として前記昇圧電圧を供給する第5のトランジスタと、バーンイン試験時に前記バッファ回路に前記電源電圧として前記外部電源電圧を供給する第6のトランジスタと、を有する構成であってもよい。

【0044】また、本発明のチャージポンプ回路の他の構成は、所定の周期から成る第1のクロックが入力される第1の昇圧用キャパシタと、前記第1のクロックがロウレベルの期間内でハイレベルとなる第2のクロックが入力される第2の昇圧用キャパシタと、前記第1のクロックがハイレベルの期間内でハイレベルとなる第3のクロックが入力される第3の昇圧用キャパシタと、前記第1の昇圧用キャパシタの出力クロックが入力され、前記

第3の昇圧用キャパシタの出力クロックにしたがってオン／オフし、外部から供給される外部電源電圧よりも高い昇圧電圧を出力するための第1のトランジスタと、前記第2の昇圧用キャパシタの出力クロックにしたがってオン／オフし、前記第1の昇圧用キャパシタの出力電圧を外部電源電圧でバイアスするための第2のトランジスタと、前記第2の昇圧用キャパシタの出力クロックにしたがってオン／オフし、前記第3の昇圧用キャパシタの出力電圧を外部電源電圧でバイアスするための第3のトランジスタと、前記第3の昇圧用キャパシタの出力クロックにしたがってオン／オフし、前記第2の昇圧用キャパシタの出力電圧を外部電源電圧でバイアスするための第4のトランジスタと、を有し、前記第1のクロック、前記第2のクロック、及び前記第3のクロックによって倍圧整流を行い、前記昇圧電圧を出力するチャージポンプ回路であって、通常の動作時は前記第1のクロックを前記外部電源電圧の振幅で出力し、バーンイン試験時は前記第1のクロックを前記外部電源電圧よりも低い所定の振幅で出力する第1のリーク電流抑制回路と、通常の動作時は前記第2のクロックを前記外部電源電圧の振幅で出力し、バーンイン試験時は前記第2のクロックを前記外部電源電圧よりも低い所定の振幅で出力する第2のリーク電流抑制回路と、通常の動作時は前記第3のクロックを前記昇圧電圧の振幅で出力し、バーンイン試験時は前記第3のクロックを前記昇圧電圧よりも低い所定の振幅で出力する第3のリーク電流抑制回路と、を有するものである。

【0045】このとき、前記第1のリーク電流抑制回路、前記第2のリーク電流抑制回路、及び第3のリーク電流抑制回路は、入力されたクロックを反転出力するインバータと、バーンイン試験時に前記インバータのロウレベルを出力するための第5のトランジスタの動作を停止させるゲート回路と、前記バーンイン試験時に前記第5のトランジスタに代わって前記インバータのロウレベルの出力電圧を所定の電圧に設定するバイアス回路と、をそれぞれ有していてもよく、前記バイアス回路は、直列に接続された複数のダイオードと、前記ダイオードと直列に接続され、前記インバータのロウレベルの出力電圧を所定の電圧に設定するために前記第5のトランジスタに代わって動作する第6のトランジスタと、を有する構成であってもよい。

【0046】また、前記第1のリーク電流抑制回路は、入力された第1のクロックを反転し、前記第1の昇圧用キャパシタに出力する第1のインバータと、通常の動作時に該第1のインバータの出力クロックと同相のクロックを出力し、バーンイン試験時に該クロックの出力を停止する第1のゲート回路と、前記第1のゲート回路の出力に一端が接続され、前記第1の昇圧用キャパシタの出力端に他端が接続された第4の昇圧用キャパシタと、を有し、前記第2のリーク電流抑制回路は、入力された第

2のクロックを反転し、前記第2の昇圧用キャパシタに出力する第2のインバータと、通常の動作時に該第2のインバータの出力クロックと同相のクロックを出力し、バーンイン試験時に該クロックの出力を停止する第2のゲート回路と、前記第2のゲート回路の出力に一端が接続され、前記第2の昇圧用キャパシタの出力端に他端が接続された第5の昇圧用キャパシタと、を有し、前記第3のリーク電流抑制回路は、入力された第3のクロックを反転し、前記第3の昇圧用キャパシタに出力する第3のインバータと、通常の動作時に該第3のインバータの出力クロックと同相のクロックを出力し、バーンイン試験時に該クロックの出力を停止する第3のゲート回路と、前記第3のゲート回路の出力に一端が接続され、前記第3の昇圧用キャパシタの出力端に他端が接続された第6の昇圧用キャパシタと、を有する構成であってもよい。

【0047】一方、本発明の昇圧回路は、上記チャージポンプ回路のいずれか1つと、前記第1のクロック、前記第2のクロック、及び前記第3のクロックを生成し、前記チャージポンプ回路にそれぞれ出力するクロック発生回路と、基準電圧に基づいて生成される所定の設定電圧と前記昇圧電圧を比較し、前記昇圧電圧が該設定電圧よりも大きければステータス信号として前記クロック発生回路の発振を停止させるための信号を送信し、前記昇圧電圧が該設定電圧以下であればステータス信号としてクロック発生回路に発振を継続させるための信号を送信する判定回路と、前記外部電源電圧のレベルを検出し、所定の動作電圧以上、またはバーンイン試験の実行を指示する信号が入力されたときに、バーンイン試験に対応するモードへの切替を指示するバーンインモード信号を出力する電圧検出回路と、を有する構成である。

【0048】また、本発明の昇圧回路は、電源電圧を昇圧した昇圧電圧を出力する昇圧部と、前記昇圧電圧より高電圧のスイッチング信号を前記昇圧部に出力する昇圧制御部と、前記昇圧制御部内に生じる最大電圧を、前記昇圧制御部を構成するトランジスタのリーク開始電圧以下に抑えるリーク電流抑制手段と、を有する構成であり、前記リーク電流抑制手段は、第1の動作モード及び第2の動作モードを有し、前記第2の動作モード時の前記スイッチング信号の電源電圧に対する振幅比率が前記第1の動作モード時より小さいものである。

【0049】このとき、該リーク電流抑制手段を構成する論理ゲートに供給する電源電圧を切り替えることにより前記振幅比率を小さくしてもよく、該リーク電流抑制手段に供給するクロックの振幅を切り替えることにより前記振幅比率を小さくしてもよい。

【0050】さらに、前記リーク電流抑制手段は、第1の動作モード及び第2の動作モードを有し、前記第2の動作モード時の前記スイッチング信号の損失比率が前記第1の動作モード時より大きいものであり、前記リーク

電流抑制手段は、前記スイッチング信号を容量分割することにより前記損失比率を大きくしてもよい。

【0051】本発明の半導体記憶装置は、電源電圧を昇圧した昇圧電圧を出力する昇圧部と、前記昇圧電圧より高電圧のスイッチング信号を前記昇圧部に出力する昇圧制御部と、前記昇圧制御部内に生じる最大電圧を、前記昇圧制御部を構成する第1のトランジスタのリーク開始電圧以下に抑えるリーク電流抑制手段と、メモリ部を構成する第2のトランジスタと、を備え、前記第1のトランジスタ及び前記第2のトランジスタが同一の半導体基板またはウエルに形成された構成である。

【0052】また、本発明の半導体記憶装置は、電源電圧を昇圧した昇圧電圧を出力する昇圧部と、前記昇圧電圧より高電圧のスイッチング信号を前記昇圧部に出力する昇圧制御部と、前記昇圧制御部内に生じる最大電圧を、前記昇圧制御部を構成する第1のトランジスタのリーク開始電圧以下に抑えるリーク電流抑制手段と、メモリ部を構成する第2のトランジスタと、を備え、前記第1のトランジスタが第1のウエル領域に形成され、前記第2のトランジスタが第2のウエル領域に形成され、前記第1のウエル領域と前記第2のウエル領域が同一のウエル電位バイアス手段に接続された構成である。

【0053】上記のように構成されたチャージポンプ回路は、通常の動作時に第3のクロックを昇圧電圧の振幅で出力し、バーンイン試験時に第3のクロックを外部電源電圧の振幅で出力するリーク電流抑制回路を有することで、バーンイン試験時のように外部電源電圧が高くなってもチャージポンプ回路を構成する各トランジスタの拡散層に印加される電圧が接合耐圧以内に抑制される。

【0054】同様に、通常の動作時は第1のクロックを外部電源電圧の振幅で出力し、バーンイン試験時は第1のクロックを前記外部電源電圧よりも低い所定の振幅で出力する第1のリーク電流抑制回路と、通常の動作時は第2のクロックを外部電源電圧の振幅で出力し、バーンイン試験時は第2のクロックを前記外部電源電圧よりも低い所定の振幅で出力する第2のリーク電流抑制回路と、通常の動作時は第3のクロックを前記昇圧電圧の振幅で出力し、バーンイン試験時は第3のクロックを昇圧電圧よりも低い所定の振幅で出力する第3のリーク電流抑制回路とを有することで、チャージポンプ回路を構成する各トランジスタの拡散層に印加される電圧が接合耐圧以内に抑制される。

【0055】

【発明の実施の形態】次に本発明について図面を参照して説明する。

【0056】（第1実施例）図1は本発明の昇圧回路を備えた半導体記憶装置の構成を示すブロック図である。

【0057】図1において、半導体記憶装置は、情報を記憶するための複数のメモリセルから成るメモリセル領域1₁、1₂と、外部から入力されるアドレスをデコード

し、アクセスするメモリセル（データを読み書きするメモリセル）を特定するためのロー方向（図1の横方向）のワード線選択信号を出力するローデコード2と、外部から入力されるアドレスをデコードし、アクセスするメモリセルを特定するためのカラム方向（図1の縦方向）のビット線選択信号を出力するカラムデコード3₁、3₂と、メモリセルに記録された情報を読み出すためのセンスアンプ4₁、4₂と、各メモリセルに対応して設けられ、ローデコード2から出力されるワード線選択信号にしたがってアクセスするサブワード線を選択するワード線選択回路5₁〜5_{2n}（nは正数）と、ワード線選択回路5₁〜5_{2n}にそれぞれ昇圧線6を介して昇圧電圧V_{BOOT}を供給するための昇圧回路7とを有している。

【0058】ワード線選択回路5₁〜5_{2n}は、各1本のサブワード線と接続され、各サブワード線には複数のメモリセルが接続されている。ワード線選択回路5₁〜5_{2n}は、ローデコード2とカラムデコード3の出力が同時に活性化されると、1つのメモリセル領域で1つのサブワード線に昇圧電圧V_{BOOT}を供給する。昇圧電圧V_{BOOT}が供給された複数のメモリセルが選択され、センスアンプ4にその記憶データを出力したり、センスアンプ4から供給されるデータを記憶したりする。カラムデコード3は複数のセンスアンプ4のうちの1つを選択して記憶データを入出力する。なお、図1ではメモリセル領域が2つの場合の構成を示しているが、メモリセル領域は1つでもよく、3つ以上であってもよい。その場合、センスアンプ及びカラムデコードは、各メモリセル領域毎に対応して設けられる。

【0059】昇圧回路7は、判定回路11、クロック発生回路12、及びチャージポンプ回路13から成る帰還ループと、外部電源電圧V_{CC}の電圧を検出する電圧検出回路14とを有する構成である。

【0060】判定回路11は、基準電圧V_{REF}に基づいて生成される所定の設定電圧よりも昇圧電圧V_{BOOT}が高いか否かを判定する回路であり、V_{BOOT}>設定電圧であればステータス信号STとしてクロック発生回路12の発振を停止させるための信号を送信する。また、V_{BOOT}≤設定電圧であればステータス信号STとしてクロック発生回路12に発振を継続させるための信号を送信する。

【0061】クロック発生回路12は、判定回路11から出力されるステータス信号STにしたがってクロックφA、φB、φCを生成し、チャージポンプ回路13にそれぞれ出力する。

【0062】チャージポンプ回路13は、クロック発生回路12から出力されたクロックφA、φB、φCを用いて倍圧整流を行い、昇圧電圧V_{BOOT}を生成する。

【0063】昇圧電圧V_{BOOT}は判定回路で設定値と比較され、所定の電圧（設定レベル）になるように厳密に制御されている。昇圧電圧V_{BOOT}が設定レベルよりも高く

なればすぐにクロック発生回路12はクロックφA〜φCの供給をストップし、低くなればクロックφA〜φCの供給を再開する動作を繰り返す。昇圧電圧V_{BOOT}の変動レベルは、設定レベル±0.1V以内程度であり、昇圧電圧V_{BOOT}は近似的にはいつも設定レベルになっている。このように、昇圧電圧V_{BOOT}の電圧は、クロック発生回路12から供給されるクロックφA〜φCの振幅に依存するのではなく、供給されるクロックφA〜φCの期間に依存する。

【0064】昇圧電圧V_{BOOT}を出力するノード（後述のノードD）には、非常に大きな負荷容量（不図示）が付いている。これは昇圧電圧V_{BOOT}が数多くのワード線選択回路5₁〜5_{2n}に供給されているため、その配線及びワード線選択回路5₁〜5_{2n}内で昇圧電圧V_{BOOT}レベルになるノード、例えば、昇圧電圧V_{BOOT}で駆動されるインバータの出力が、ハイレベル（V_{BOOT}レベル）のときに、そのインバータ出力のノードの容量が全てノードDの寄生容量として見えるためである。また、補償容量としてノードDにキャパシタを付けてさらに負荷容量を大きくしてもよい。本実施例では、上記寄生容量と補償容量の和である負荷容量は、約2000pFとした。

【0065】このため、チャージポンプ回路13に入力されるクロックφA〜φCが1サイクル動いても、昇圧電圧V_{BOOT}の電圧上昇は微小（0.05V程度）である。一方、判定回路の判定速度はクロックの1サイクルの時間と同等程度であり、昇圧電圧V_{BOOT}が設定レベルよりも高くなってからクロックを停止させるまでの期間は、1クロック程度であるので、昇圧電圧V_{BOOT}は設定値+0.1Vよりも高くなることはない。

【0066】また、昇圧回路7につながるワード線選択回路5₁〜5_{2n}などに昇圧電圧V_{BOOT}の電流が流れても、大きな負荷容量があるため、昇圧電圧V_{BOOT}は設定レベル−0.1V程度までしか低下せず、すぐにクロック発生回路12が動き出して昇圧電圧V_{BOOT}を設定レベルまで回復する。

【0067】電圧検出回路14は、外部から供給される外部電源電圧V_{CC}のレベルを検出し、所定の電源電圧以上になったとき、またはバーンイン試験の実行を指示する設定信号が不図示の外部端子を介して入力されたとき、バーンイン試験に対応するモードへの切替信号であるバーンインモード信号BIMDとしてハイ（High）レベルを出力する。

【0068】このような構成において、図1に示した昇圧回路7の判定回路11及びチャージポンプ回路13は、バーンインモード信号BIMDがロウ（Low）レベルのとき、上述したような通常の動作を行い、動作電源電圧範囲内V1〜V2において昇圧電圧V_{BOOT}を一定の値に制御する。

【0069】一方、バーンインモード信号BIMDがハイレベルのとき、判定回路11は昇圧電圧V_{BOOT}と外部電

源電圧 V_{CC} を基に生成された所定の設定電圧とを比較する。また、チャージポンプ回路13は、昇圧用キャパシタから出力されるクロックの振幅を制限し、トランジスタのソース、またはドレインの電圧を接合耐圧以下に抑制するよう動作する。

【0070】次に、図1に示した昇圧回路の各構成要素について、それぞれ詳細に説明する。

【0071】図2は図1に示した昇圧回路が有する電圧検出回路及び判定回路の一構成例を示す回路図である。

【0072】図2において、電圧検出回路14は、所定の基準電圧 V_{REF} を出力する基準電圧発生回路21と、基準電圧 V_{REF} と外部電源電圧 V_{CC} を抵抗器R11及びR12で分割した電圧を比較し、比較結果からバーインモード信号BIMDを出力する第1のコンパレータ22とによって構成されている。

【0073】基準電圧発生回路21は、ゲートとドレインが共通に接続され、抵抗器R13を介して外部電源電圧 V_{CC} が印加されるNMOSTランジスタQ11と、NMOSTランジスタQ11とゲートどうし及びドレインどうしが共通に接続されたNMOSTランジスタQ12と、NMOSTランジスタQ12のソースと接地電位間に挿入され、基準電圧 V_{REF} を出力するための負荷抵抗器R14とによって構成されている。

【0074】一方、判定回路11は、基準電圧 V_{REF} と昇圧電圧 V_{BOOT} 、または外部電源電圧 V_{CC} と昇圧電圧 V_{BOOT} を所定の比でそれぞれ比較し、比較結果をステータス信号STとして出力する第2のコンパレータ23と、外部電源電圧 V_{CC} を所定の比で分圧するための抵抗器R15、R16と、昇圧電圧 V_{BOOT} を所定の比で分圧するための抵抗器R17、R18と、基準電圧 V_{REF} をバーインモード信号BIMDにしたがって第2のコンパレータ23に入力するための第1のスイッチ24と、抵抗器R15、R16で分圧された電圧をバーインモード信号BIMDにしたがって第2のコンパレータ23に入力するための第2のスイッチ25と、バーインモード信号BIMDを反転出力するインバータ26とによって構成されている。

【0075】このような構成において、電圧検出回路14は、外部電源電圧 V_{CC} を抵抗分割した電圧と基準電圧 V_{REF} とを比較し、 $V_{CC} \times K > V_{REF}$ のときバーインモード信号BIMDとしてハイレベル（バーインモード）を出力する。また、 $V_{CC} \times K < V_{REF}$ のときバーインモード信号BIMDとしてロウレベル（非バーインモード）を出力する。なお、 $K = R12 / (R11 + R12)$ である。

【0076】判定回路11は、バーインモード信号BIMDがロウレベル（非バーインモード）のとき、昇圧電圧 V_{BOOT} を抵抗分割した電圧と基準電圧 V_{REF} とを比較し、 $V_{BOOT} \times L > V_{REF}$ のとき、ステータス信号STとしてロウレベルを出力する。また、 $V_{BOOT} \times L < V_{REF}$

のとき、ステータス信号STとしてハイレベルを出力する。なお、 $L = R18 / (R17 + R18)$ である。

【0077】また、判定回路11は、バーインモード信号BIMDがハイレベル（バーインモード）のとき、昇圧電圧 V_{BOOT} を抵抗分割した電圧と外部電源電圧 V_{CC} を抵抗分割した電圧とを比較し、 $V_{BOOT} > M \times V_{CC}$ であるとき、ステータス信号STとしてロウレベルを出力する。また、 $V_{BOOT} < M \times V_{CC}$ であるとき、ステータス信号STとしてハイレベルを出力する。なお、 $M = R16 / (R17 + R18) / \{ R18 / (R15 + R16) \}$ である。

【0078】図3は図1に示した昇圧回路7が有するクロック発生回路12の一構成例を示す回路図であり、図4は図3に示したクロック発生回路12の動作の様子を示す波形図である。

【0079】図3に示すように、クロック発生回路12は、直列に接続された複数の論理ゲートによって帰還ループが構成され、所定の周波数のクロック ϕ_0 を出力するリングオシレータ31と、リングオシレータ31から出力されるクロック ϕ_0 を反転して所定の時間（ Tda ）だけ遅延させ、クロック ϕ_A として出力する第1の遅延回路32と、リングオシレータ31から出力されるクロック ϕ_0 を反転し（ $INV\phi_0$ ）、 $INV\phi_0$ がハイレベルになってから所定の時間（ Tdb ）だけ遅延させてロウレベルになり、かつ $INV\phi_0$ がロウレベルになると同時にハイレベルになるクロック ϕ_B を出力する第2の遅延回路33と、リングオシレータ31から出力されるクロック信号 ϕ_0 がハイレベルになってから所定の時間（ Tdc ）だけ遅延させてロウレベルになり、かつ ϕ_0 がロウレベルになると同時にハイレベルになるクロック ϕ_C を出力する第3の遅延回路34とによって構成されている。ここで、 $Tdb = Tdc = 2Tda$ であることが望ましい。これらの遅延時間Tdを長くしすぎると昇圧期間が短くなり、所定の昇圧電圧を得るまでに時間がかかり、昇圧効率も低下する。逆に、遅延時間Tdを短くしすぎると素子のばらつき等により昇圧回路に貫通電流が流れ、不要な消費電流が増加したり昇圧できなくなることもある。

【0080】また、リングオシレータ31は、ステータス信号STがハイレベルのとき発振してクロック ϕ_0 を出力し、ロウレベルのとき発振を停止する。

【0081】なお、図4に示すように、クロック ϕ_B は、クロック ϕ_A がロウレベルの期間内でハイレベルとなる信号であり、クロック ϕ_0 の立ち下がりから遅延時間Tdbだけ遅れて立ち上がる、デューティ比50%以下の信号である。

【0082】また、クロック ϕ_C は、クロック ϕ_A がハイレベルの期間内でハイレベルとなる信号であり、クロック ϕ_0 の立ち上がりから遅延時間Tdcだけ遅れて立

ち上がる、デューティ比50%以下の信号である。

【0083】図5は図1に示した昇圧回路が有するチャージポンプ回路13の第1実施例の構成を示す回路図である。また、図6は図5に示したチャージポンプ回路13の各ノードに発生する電圧波形を示す波形図であり、図7は図5に示したチャージポンプ回路13の外部電源電圧の変化に対する各ノードに発生する最大電圧の関係を示すグラフである。なお、図7に示したバーンインモード信号BIMDは、モードが切り替わる外部電源電圧 V_{CC} の値のみを示し、そのハイレベルの電圧は正しい値を示していない。また、本実施例ではチャージポンプ回路を構成する各NMOSトランジスタに対する印加可能電圧は10Vとする。

【0084】図5において、本実施例のチャージポンプ回路13は、図14に示した第3従来例のチャージポンプ回路の構成にリーク電流抑制回路41を追加した構成である。クロック ϕC はリーク電流抑制回路41を介して昇圧用キャパシタC3に入力される。また、クロック ϕA は第1のバッファ42を介して昇圧用キャパシタC1に入力され、クロック ϕB は第2のバッファ43を介して昇圧用キャパシタC2に入力される。なお、第1のバッファ42及び第2のバッファ43には外部電源電圧 V_{CC} が供給されている。

【0085】リーク電流抑制回路41は、入力されたクロック ϕC を、供給される電源電圧と等しい振幅に変換して出力する第3のバッファ44と、バーンインモード信号BIMDによってオン／オフが制御され、バーンイン試験時に第3のバッファ44に外部電源電圧 V_{CC} を供給するためのNMOSトランジスタQ21と、バーンインモード信号BIMDによってオン／オフが制御され、通常の動作時に第3のバッファ44に昇圧電圧 V_{B00T} を供給するためのPチャネルMOS型電界効果トランジスタ（以下、PMOSトランジスタと称す）Q22と、PMOSトランジスタQ22を駆動可能にするためにバーンインモード信号BIMDのレベルを変換するレベルシフト回路45と、クロック ϕC のレベルを変換するレベルシフト回路46とを有する構成である。レベルシフト回路46は、0Vと V_{CC} との間で変化するクロック ϕC を、0Vと電源電圧（ $V_{CC}-V_{TH}$ ）または V_{B00T} との間で変化する出力電圧にレベル変換して第3のバッファ44に供給する。また、昇圧電圧 V_{B00T} を出力する端子であるノードDには、出力電圧を平滑するための負荷容量（不図示）が接続されている。その他の構成は第3従来例と同様であるため、その説明は省略する。

【0086】このような構成において、バーンインモード信号BIMDがロウレベル（通常動作時）のとき、PMOSトランジスタQ22がオンするため、リーク電流抑制回路41からは昇圧電圧 V_{B00T} の振幅を有するクロック ϕC が出力される。また、バーンインモード信号BIMDがハイレベル（バーンイン試験時）のとき、NM

OSトランジスタQ21がオンするため、リーク電流抑制回路41からは外部電源電圧 $V_{CC}-V_{TH}$ の振幅を有するクロック ϕC が出力される。すなわち、本実施例ではリーク電流抑制回路41を構成する論理ゲート44に供給する電源電圧を、通常動作時とバーンインモード時で切り替えることで、ノードCの電位を所定の電圧（トランジスタQ3のリーク開始電圧）以下に抑えるようにしている。

【0087】このとき、図6、図7に示すように、ノードA、ノードBの電圧は $2V_{CC}$ 以下に抑制され、ノードCの電圧は $2V_{CC}-V_{TH}$ 以下に抑制される。

【0088】電源電圧 V_{CC} がV1より低いとき、バーンインモード信号BIMDはロウレベルであり、ステータス信号STはハイレベルであるため、クロック発生回路12はクロック $\phi A \sim \phi C$ を停止することなくチャージポンプ回路13に供給する。したがって、ノードA～ノードCの電圧は電源電圧 V_{CC} に比例して増加する。

【0089】電源電圧 V_{CC} が通常の動作電圧範囲V1～V2のとき、バーンインモード信号BIMDはロウレベルであり、昇圧電圧 V_{B00T} が所定の電圧VBより高くなると、ステータス信号STがロウレベルになり、クロック発生回路12はクロック $\phi A \sim \phi C$ をチャージポンプ回路13に供給することを停止し、昇圧電圧 V_{B00T} を下げる。逆に、昇圧電圧 V_{B00T} が所定の電圧VBより低くなると、ステータス信号STがハイレベルになり、クロック発生回路12はクロック $\phi A \sim \phi C$ をチャージポンプ回路13に供給し、昇圧電圧 V_{B00T} を上げる。このようにして電源電圧 V_{CC} が動作電圧範囲V1～V2の範囲では、昇圧回路7はノードDの昇圧電圧 V_{B00T} が一定の電圧VBになるように制御する。

【0090】また、ノードA、ノードBの電圧（ $2V_{CC}$ ）は、ステータス信号STがハイレベルであるとき、電源電圧 V_{CC} に比例して増加する。但し、ステータス信号STがロウレベルになると、クロック ϕA 、 ϕB が停止するため、ノードA、ノードBの電圧は徐々に放電される。

【0091】また、ノードCの電圧（ $V_{CC}+V_{B00T}$ ）は、ステータス信号STがハイレベルであるとき、電源電圧 V_{CC} に比例して増加する。但し、ステータス信号STがロウレベルになると、クロック ϕC が停止するため、ノードCの電圧は徐々に放電される。

【0092】電源電圧 V_{CC} がV2より高いとき、バーンインモード信号BIMDはハイレベルになり、昇圧電圧 V_{B00T} が所定の電圧 $M \times V_{CC}$ より高くなると、ステータス信号STがロウレベルになり、クロック発生回路12はクロック $\phi A \sim \phi C$ をチャージポンプ回路13に供給することを停止し、昇圧電圧 V_{B00T} を低下させる。逆に、昇圧電圧 V_{B00T} が所定の電圧 $M \times V_{CC}$ より低くなると、ステータス信号STがハイレベルになり、クロック発生回路12はクロック $\phi A \sim \phi C$ をチャージポンプ回

路13に供給し、昇圧電圧 V_{BOOT} を上昇させる。このようにして、電源電圧 V_{CC} が V_2 より高くなると、昇圧回路7はノードDの昇圧電圧 V_{BOOT} が所定の電圧 $M \times V_{CC}$ になるように制御する。

【0093】また、ノードA、ノードBの電圧($2V_{CC}$)は、ステータス信号STがハイレベルであるとき電源電圧 V_{CC} に比例して増加する。但し、ステータス信号STがロウレベルになるとクロック ϕA 、 ϕB が停止するので、ノードA、ノードBの電圧は徐々に放電される。

【0094】また、ノードCの電圧($2V_{CC} - V_{TH}$)は、ステータス信号STがハイレベルであるとき、電源電圧 V_{CC} に比例して増加する。但し、ステータス信号STがロウレベルになるとクロック ϕC が停止するので、ノードCの電圧は徐々に放電される。

【0095】このように、通常動作電圧範囲 $V_1 \sim V_2$ のときには、トランジスタQ1のゲートに昇圧電圧 V_{BOOT} より高い電圧が供給されるのでトランジスタQ1の電圧降下を最小限に抑えることができ、昇圧効率の高い昇圧回路を実現できる。

【0096】さらに、リーク電流抑制回路41を設けない場合、バーンイン試験時に電源電圧 V_{CC} を5VとするとノードCの電圧は $V_{CC} + V_{BOOT}$ となり、10Vを越えてしまう。したがって、トランジスタQ3のソース・ウエル間の電圧が耐圧を越えるため、リーク電流が増加したり破壊したりする。

【0097】本実施例のようにリーク電流抑制回路41を設けると、電源電圧 V_{CC} が V_2 より高くなってもノードCの電圧を $2V_{CC} - V_{TH}$ 、すなわち10V以下に抑えることができるため、トランジスタQ3はソースとウエルとの接合部でリーク電流が流れることがない。

【0098】次に本実施例の昇圧回路7を含む半導体記憶装置のデバイス構造について説明する。

【0099】図8は本発明の昇圧回路の第1実施例を含む半導体記憶装置のデバイス構造を示す側断面図である。なお、図8は以下の説明で必要な要部の構造のみを示している。

【0100】図8に示すように、本実施例の昇圧回路7を備えた半導体記憶装置は、P型半導体から成るP基板51を有し、P基板51は0Vにバイアスされている。メモリセル領域内に形成されるNMOSTランジスタ52は、2重のウエル(P型拡散層であるPウエル領域53とN型拡散層であるディープNウエル領域54)によってP基板51と分離され、Pウエル領域53はメモリセル領域のキャパシタに蓄えられた電荷を基板ノイズなどで消失するのを防止するため-1.5Vにバイアスされている。

【0101】昇圧回路7を含む周辺回路領域には、P基板51または不図示のPウエル領域に形成されるNMOSTランジスタ55、及びNウエル領域56内に形成さ

れるPMOSTランジスタ57が存在する。

【0102】ここで、バーンイン試験時の条件として外部電源電圧 $V_{CC} = 5V$ に設定すると、上述したようにチャージポンプ回路13のノードA及びノードBにつながるNMOSTランジスタQ1~Q4はNMOSTランジスタ55に対応し、そのソースまたはドレインとP基板51との電位差は10V以下に抑制される。

【0103】したがって、外部電源電圧 V_{CC} が高くなってもトランジスタの拡散層に印加される電圧を接合耐圧以内に抑えることができるため、バーンイン試験で昇圧回路のトランジスタが破壊したり、トランジスタのソースまたはドレインからP基板51の方向に流れるリーク電流がなくなる。

【0104】さらに、トランジスタを高耐圧用の別プロセスで作成する必要がなくなり、他の周辺回路を構成するトランジスタまたはメモリセルのトランジスタと同一工程で製造することができるため、別マスク、別工程を追加する必要がなくなる。よって、製造コストが低減し、半導体記憶装置の価格を低減することができる。また、トランジスタのサイズも大きくなることがないため、チップ面積、チップ原価を増大させることがない。

【0105】また、第2従来例のように、ダイオード接続した整流用のトランジスタを使わない構成にしているため、整流用のトランジスタによる電圧降下を低減できる。

【0106】また、NMOSTランジスタQ1を昇圧後の高電圧で駆動するため、NMOSTランジスタQ1の駆動能力が高まり、小型のトランジスタを用いても電圧降下を少なくすることができる。よって、整流効率の高いチャージポンプ回路を実現できる。

【0107】(第2実施例)図9は図1に示した昇圧回路が有するチャージポンプ回路の第2実施例の構成を示す回路図である。また、図10は図9に示したチャージポンプ回路の各ノードに発生する電圧波形を示す波形図であり、図11は図9に示したチャージポンプ回路の外部電源電圧の変化に対する各ノードに発生する最大電圧の関係を示すグラフである。なお、図11に示したバーンインモード信号BIMDは、モードが切り替わる外部電源電圧 V_{CC} の値のみを示し、そのハイレベルの電圧は正しい値を示していない。また、本実施例ではチャージポンプ回路を構成する各NMOSTランジスタに対する印加可能電圧は10Vとする。

【0108】図9において、本実施例の昇圧回路が有するチャージポンプ回路は、図14に示した第3従来例の構成に、バーンイン試験時に各クロック(ϕA 、 ϕB 、 ϕC)の振幅を制限する第1のリーク電流抑制回路61~第3のリーク電流抑制回路63を設けた構成である。なお、クロック/ $\phi A \sim \phi C$ は、図3に示したクロック発生回路12で生成したクロック $\phi A \sim \phi C$ を反転させた信号である。また、クロック ϕA の振幅を制限する第

1のリーク電流抑制回路6 1及びクロック ϕ Bの振幅を制限する第2のリーク電流抑制回路6 2には外部電源電圧 V_{CC} が供給され、クロック ϕ Cの振幅を制限する第3のリーク電流抑制回路6 3には昇圧電圧 V_{BOOT} が供給される。

【0109】第1のリーク電流抑制回路6 1は、入力されたクロックを反転出力する、PMOSTランジスタQ 3 1及びNMOSTランジスタQ 3 2から成るインバータ7 1と、バーンインモード信号B I M Dにしたがい、バーンイン試験時にインバータのNMOSTランジスタQ 3 2の動作を停止させるゲート回路7 2と、バーンインモード信号B I M Dにしたがい、バーンイン試験時にインバータのロウレベルの出力電圧を所定のレベルに設定するためのバイアス回路7 3とを有する構成である。

【0110】バイアス回路7 3は、ドレインとゲートが共通に接続されたNMOSTランジスタから成る、直列に接続された複数のダイオードD 1、D 2と、ダイオードと直列に接続され、クロック入力によってオン／オフが制御されるNMOSTランジスタQ 3 3とを有する構成である。通常の動作モード時には、トランジスタQ 3 2がオンするので、トランジスタQ 3 3のドレイン電圧がほぼ0 Vになり、トランジスタQ 3 3は動作しない。

【0111】なお、第2のリーク電流抑制回路6 2は第1のリーク電流抑制回路6 1と同様の構成である。また、第3のリーク電流抑制回路6 3は、インバータ7 4に供給される電源が昇圧電圧 V_{BOOT} であり、バイアス回路7 6は直列に接続された5つのダイオードD 3～D 7とNMOSTランジスタQ 3 4とを有する構成である。インバータ7 4を構成するPMOSTランジスタのゲートにはレベルシフタ7 7を介してクロック ϕ Cが供給される。レベルシフタ7 7はクロック ϕ Cがハイレベル(V_{CC})のとき、ソースが昇圧電圧 V_{BOOT} である上記PMOSTランジスタをオフさせるために設けられている。

【0112】ゲート回路7 5については第1のリーク電流抑制回路6 1及び第2のリーク電流抑制回路6 2のゲート回路と同様の構成である。その他の構成は第1実施例と同様であるため、その説明は省略する。

【0113】このような構成において、第1のリーク電流抑制回路6 1～第3のリーク電流抑制回路6 3は、バーンインモード信号B I M Dがロウレベル(通常動作時)のとき、各々のゲート回路がクロック ϕ A～ ϕ Cをそれぞれ通過させる。このとき、クロック ϕ A及びクロック ϕ Bが入力される第1のリーク電流抑制回路6 1及び第2のリーク電流抑制回路6 3のインバータ7 1からは V_{CC} の振幅を有するクロックが出力され、クロック ϕ Cが入力される第3のリーク電流抑制回路6 3のインバータ7 4からは V_{BOOT} の振幅を有するクロックが出力される。

【0114】一方、バーンインモード信号B I M Dがハ

イレベル(バーンイン試験時)のとき、各々のゲート回路はそれぞれクロックを通過させずに出力をロウレベルに固定する。このため、各々のインバータのNMOSTランジスタの動作が停止し、第1のリーク電流抑制回路6 1～第3のリーク電流抑制回路6 3出力電圧のロウレベルはそれぞれバイアス回路によって所定のレベルに設定される。

【0115】図9に示したバイアス回路の構成では、ロウレベルはダイオードの数で決まり、ダイオード1つの順方向電圧を V_{TH} とすれば、第1のリーク電流抑制回路6 1及び第2のリーク電流抑制回路6 2からは $V_{CC} - 2V_{TH}$ の振幅を有するクロックが出力される。また、第3のリーク電流抑制回路6 3からは $V_{BOOT} - 5V_{TH}$ の振幅を有するクロックが出力される。

【0116】このとき、図10、図11に示すように、ノードA及びノードBの電圧は $2V_{CC} - 2V_{TH}$ 以下(8.5 V以下)に抑制され、ノードCの電圧は $V_{CC} + V_{BOOT} - 5V_{TH}$ 以下(8.5 V以下)に抑制される。なお、本実施例において、昇圧電圧 V_{BOOT} は判定回路11の設定によって定まるものであり、第1のリーク電流抑制回路～第3のリーク電流抑制回路内のバイアス回路7 3、7 4でクロックの振幅を制限したことによって決まるものではない。言い換えれば、バイアス回路7 3、7 4はノードA～Cの電圧を所定の値に抑えて、接合部のリークを抑制するためのものであり、昇圧電圧 V_{BOOT} はクロック発生回路12から供給されるクロックの供給期間によって決まる。

【0117】本実施例では、NMOSTランジスタをダイオード接続してクロック振幅の下限を所定の電圧に設定する例を示したが、PMOSTランジスタをダイオード接続してクロックの振幅の上限を所定の電圧に設定するようにしてもよい。

【0118】また、本実施例では、クロック ϕ A～ ϕ Cに対して第1のリーク電流抑制回路6 1～第3のリーク電流抑制回路6 3を設けた例を示したが、トランジスタの接合耐圧により適宜その配置位置を決定でき、例えば、第3のリーク電流抑制回路6 3だけを設けて、第1のリーク電流抑制回路6 1、及び第2のリーク電流抑制回路6 2を設けないようにしてもよい。

【0119】次に本実施例の昇圧回路を含む半導体記憶装置のデバイス構造について説明する。

【0120】図12は本発明の昇圧回路の第2実施例を含む半導体記憶装置のデバイス構造を示す側断面図である。なお、図12は以下の説明で必要な要部の構造のみを示している。

【0121】図12に示すように、本実施例の昇圧回路を備えた半導体記憶装置は、P型半導体から成るP基板81を有し、P基板81はメモリセル領域のキャパシタに蓄えられた電荷を基板ノイズなどで消失するのを防止するため1.5 Vにバイアスされている。

【0122】メモリセル領域内にはNMOSTランジスタ82が形成されている。昇圧回路を含む周辺回路領域には、P基板81またはP基板81と同一のバイアスが供給される不図示のPウェル領域に形成されるNMOSTランジスタ85、及びNウェル領域86内に形成されるPMOSTランジスタ87が存在する。

【0123】ここで、バーンイン試験時の条件として外部電源電圧 $V_{CC}=5V$ に設定すると、上述したようにチャージポンプ回路のノードA～ノードCにつながるNMOSTランジスタQ1～Q4に対応するNMOSTランジスタ85のソースまたはドレインは8.5以下に抑制されているため、P基板81との電位差が10V以下に抑制される。

【0124】したがって、リーク電流が流れることで発生する、P基板81の電位の上昇によるメモリセル領域内のランジスタの動作への悪影響がなくなる。

【0125】さらに、低耐圧のランジスタを用いて昇圧回路を構成しても半導体基板またはウェルとの間でリーク電流が流れたり、接合破壊を起こすことがないため、メモリセル領域と昇圧回路などの周辺回路とを同一のP基板またはPウェル内に形成して同一のバイアス電圧を供給しても、P基板の電位がリーク電流により上昇することがない。よって、メモリセルに記録されたデータを破壊することがない。

【0126】また、バーンイン試験で昇圧回路のランジスタが破壊したり、ランジスタのソースまたはドレインからP基板81の方向に流れるリーク電流もなくなる。

【0127】加えて、第1実施例のようにウェル領域を複数層にする必要がないため、ウェルの作成工程を1つ削減でき、製造コストを低減することができる。

【0128】(第3実施例)図13は図1に示した昇圧回路が有するチャージポンプ回路の第3実施例の構成を示す回路図である。

【0129】図13において、本実施例のチャージポンプ回路は、バーンイン試験時に各クロック(ϕA 、 ϕB 、 ϕC)の振幅を制限するための第1のリーク電流抑制回路91～第3のリーク電流抑制回路93の構成が第2実施例と異なっている。また、本実施例のチャージポンプ回路はバーンインモード信号BIMDを反転出力する第4のインバータ94を有する構成である。

【0130】第1のリーク電流抑制回路91は、クロック ϕA を反転出力し、昇圧用キャパシタC1に出力する第1のインバータ95と、クロック ϕA 及びバーンインモード信号BIMDが入力され、通常動作時はクロック ϕA を反転して第1のインバータ95の出力クロックと同相のクロックを出力し、バーンイン試験時はクロックの出力を停止する第1のNANDゲート96と、第1のNANDゲート96の出力に一端が接続され、昇圧用キャパシタC1の出力端に他端が接続された昇圧用キャパ

シタC11とを有する構成である。

【0131】第2のリーク電流抑制回路92は、クロック ϕB を反転出力し、昇圧用キャパシタC2に出力する第2のインバータ97と、クロック ϕB 及びバーンインモード信号BIMDが入力され、通常動作時はクロック ϕB を反転して第2のインバータ97の出力クロックと同相のクロックを出力し、バーンイン試験時はクロックの出力を停止する第2のNANDゲート98と、第2のNANDゲート98の出力に一端が接続され、昇圧用キャパシタC2の出力端に他端が接続された昇圧用キャパシタC12とを有する構成である。

【0132】また、第3のリーク電流抑制回路93は、クロック ϕC を反転出力し、昇圧用キャパシタC3に出力する第3のインバータ99と、クロック ϕC 及びバーンインモード信号BIMDが入力され、通常動作時はクロック ϕC を反転して第3のインバータ99の出力クロックと同相のクロックを出力し、バーンイン試験時はクロックの出力を停止する第3のNANDゲート100と、第3のNANDゲート100の出力に一端が接続され、昇圧用キャパシタC3の出力端に他端が接続された昇圧用キャパシタC13とを有する構成である。

【0133】なお、第1のインバータ95、第2のインバータ97、第1のNANDゲート96、及び第2のNANDゲート98には外部電源電圧 V_{CC} が供給され、第3のインバータ99及び第3のNANDゲート100には昇圧電圧 V_{BOOT} が供給される。また、第3のインバータ99と第3のNANDゲート100は、それぞれレベルシフタ121、122を介してクロック ϕC とバーンインモード信号BIMDが供給される。その他の構成は第2実施例と同様であるため、その説明は省略する。

【0134】このような構成において、第1のリーク電流抑制回路91～第3のリーク電流抑制回路93は、バーンインモード信号BIMDがロウレベル(通常動作時)のとき、各々のNANDゲートがクロック ϕA ～ ϕC をそれぞれ通過させる。このとき、第1のインバータ95、第2のインバータ97、第1のNANDゲート96、第2のNANDゲート98、及び第3のNANDゲート100からはそれぞれ V_{CC} の振幅を有するクロックが出力され、第3のインバータ99からは V_{BOOT} の振幅を有するクロックが出力される。したがって、第1のリーク電流抑制回路91及び第2のリーク電流抑制回路92からは $2V_{CC}$ の振幅を有するクロックが出力され、第3のリーク電流抑制回路93からは $V_{BOOT}+V_{CC}$ の振幅を有するクロックが出力される。

【0135】一方、バーンインモード信号BIMDがハイレベル(バーンイン試験時)のとき、各々のNANDゲートはそれぞれクロックを通過させずに出力をハイレベルに固定する。このとき、第1のインバータ95～第3のインバータ99だけがクロックを出力するため、第1のリーク電流抑制回路91～第3のリーク電流抑制回路

93からは、それぞれ2つの昇圧用キャパシタで容量分割された振幅のクロックが出力される。

【0136】したがって、第1実施例及び第2実施例と同様に、バーンイン試験でチャージポンプ回路のトランジスタが破壊したり、トランジスタのソースまたはドレインからP基板の方向に流れるリーク電流もなくなる。

【0137】なお、上記第1実施例～第2実施例で示した昇圧回路は、第1従来例のように、電流駆動能力の大きい昇圧後の電圧をクランプまたはリミットする構成ではないため、第1従来例のように大きな損失電流が流れることがなく、消費電流が増大することがない。

【0138】

【発明の効果】本発明は以上説明したように構成されているので、以下に記載する効果を奏する。

【0139】外部電源電圧が高くなってもトランジスタの拡散層に印加される電圧を接合耐圧以内に抑えることができるため、バーンイン試験で昇圧回路のトランジスタが破壊したり、トランジスタのソースまたはドレインから半導体基板またはウェル領域の方向に流れるリーク電流がなくなる。また、リーク電流が流れることで発生する、半導体基板またはウェルの電位の上昇によるメモリセル領域内のトランジスタの動作への悪影響がなくなる。

【0140】さらに、トランジスタを高耐圧用の別プロセスで作成する必要がなくなり、他の周辺回路を構成するトランジスタまたはメモリセルのトランジスタと同一工程で製造することができるため、別マスク、別工程を追加する必要がなくなるため製造コストが低減し、半導体記憶装置の価格を低減することができる。また、トランジスタのサイズも大きくなることのないため、チップ面積、チップ原価を増大させることがない。

【0141】また、第2従来例のように、ダイオード接続した整流用のトランジスタを使わない構成にしているため、整流用のトランジスタによる電圧降下を低減できる。

【0142】また、第1のトランジスタを昇圧後の高電圧で駆動するようにしたので、第1のトランジスタの駆動能力を高くすることができ、小型のトランジスタを用いても電圧降下を少なくすることができる。よって、整流効率の高いチャージポンプ回路を実現できる。

【0143】さらに、低耐圧のトランジスタを用いて昇圧回路を構成しても、半導体基板またはウェルとの間でリーク電流が流れたり、接合破壊を起こすことがないため、メモリセル領域と昇圧回路などの周辺回路とを同一の半導体基板またはウェル内に形成しても、半導体基板の電位がリーク電流により上昇することがなく、メモリセルに記録されたデータを破壊することがない。

【図面の簡単な説明】

【図1】本発明の昇圧回路を備えた半導体記憶装置の構成を示すブロック図である。

【図2】図1に示した昇圧回路が有する電圧検出回路及び判定回路の一構成例を示す回路図である。

【図3】図1に示した昇圧回路が有するクロック発生回路の一構成例を示す回路図である。

【図4】図3に示したクロック発生回路の動作の様子を示す波形図である。

【図5】図1に示した昇圧回路が有するチャージポンプ回路の第1実施例の構成を示す回路図である。

【図6】図5に示したチャージポンプ回路の各ノードに発生する電圧波形を示す波形図である。

【図7】図5に示したチャージポンプ回路の外部電源電圧の変化に対する各ノードに発生する最大電圧の関係を示すグラフである。

【図8】本発明の昇圧回路の第1実施例を含む半導体記憶装置のデバイス構造を示す側断面図である。

【図9】図1に示した昇圧回路が有するチャージポンプ回路の第2実施例の構成を示す回路図である。

【図10】図9に示したチャージポンプ回路の各ノードに発生する電圧波形を示す波形図である。

【図11】図9に示したチャージポンプ回路の外部電源電圧の変化に対する各ノードに発生する最大電圧の関係を示すグラフである。

【図12】本発明の昇圧回路の第2実施例を含む半導体記憶装置のデバイス構造を示す側断面図である。

【図13】図1に示した昇圧回路が有するチャージポンプ回路の第3実施例の構成を示す回路図である。

【図14】従来の昇圧回路が有するチャージポンプ回路の構成を示す回路図である。

【図15】図14に示したチャージポンプ回路の各ノードに発生する電圧波形を示す波形図である。

【図16】図14に示したチャージポンプ回路の外部電源電圧の変化に対する各ノードに発生する最大電圧の関係を示すグラフである。

【符号の説明】

- 1₁、1₂ メモリセル領域
- 2 ローデコード
- 3₁、3₂ カラムデコード
- 4₁、4₂ センスアンプ
- 5₁、～5_{2n} ワード線選択回路
- 6 昇圧線
- 7 昇圧回路
- 11 判定回路
- 12 クロック発生回路
- 13 チャージポンプ回路
- 14 電圧検出回路
- 21 基準電圧発生回路
- 22 第1のコンパレータ
- 23 第2のコンパレータ
- 24 第1のスイッチ
- 25 第2のスイッチ

26、71、74 インバータ

31 リングオシレータ

32 第1の遅延回路

33 第2の遅延回路

34 第3の遅延回路

41 リーク電流抑制回路

42 第1のバッファ

43 第2のバッファ

44 第3のバッファ

45、46、77、 レベルシフト回路

51、81 P基板

52、55、82、85 NMOSTランジスタ

53 Pウエル領域

54 ディープNウエル領域

56、86 Nウエル領域

57、87 PMOSTランジスタ

61、91 第1のリーク電流抑制回路

62、92 第2のリーク電流抑制回路

63、93 第3のリーク電流抑制回路

72、75 ゲート回路

73、76 バイアス回路

94 第4のインバータ

95 第1のインバータ

96 第1のNANDゲート

97 第2のインバータ

98 第2のNANDゲート

99 第3のインバータ

100 第3のNANDゲート

111 昇圧部

112 昇圧制御部

121、122 レベルシフタ

C1~C3、C11、C12 昇圧用キャパシタ

D1~D7 ダイオード

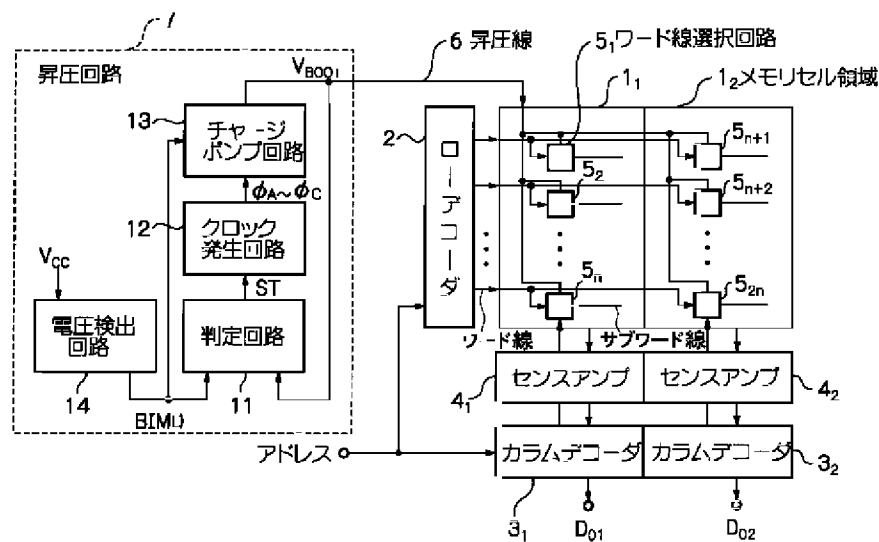
Q1~Q4、Q11、Q12、Q21、Q32、Q3

3、Q34 NMOSTランジスタ

Q22、Q31 PMOSTランジスタ

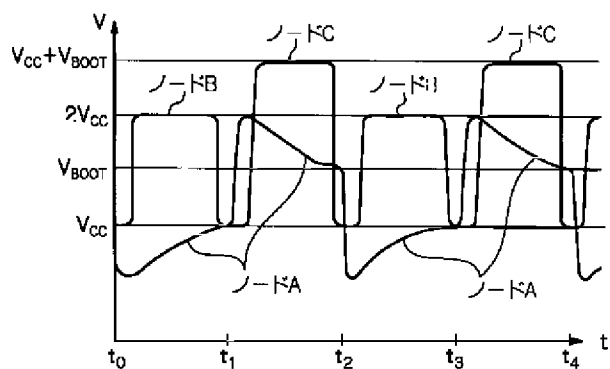
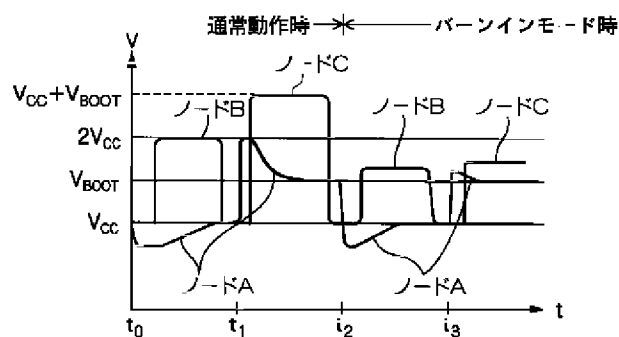
R11~R18 抵抗器

【図1】

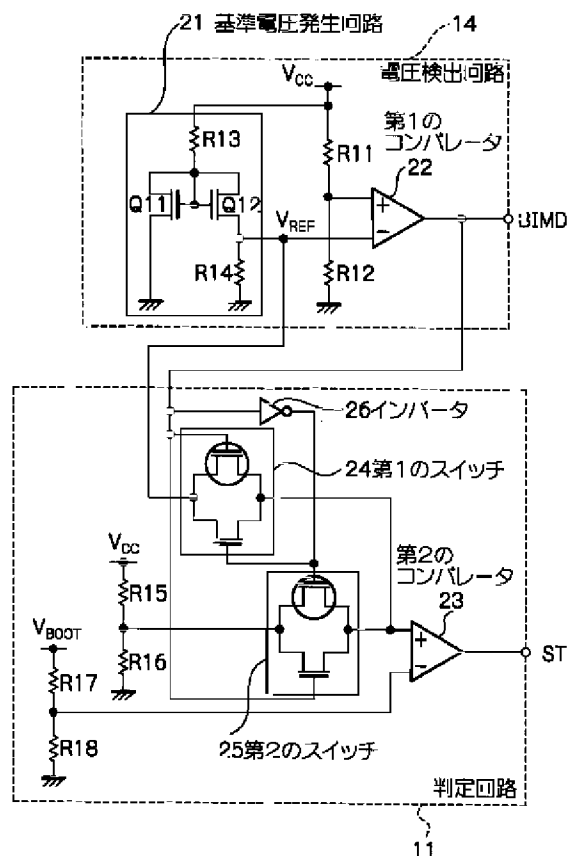


【図10】

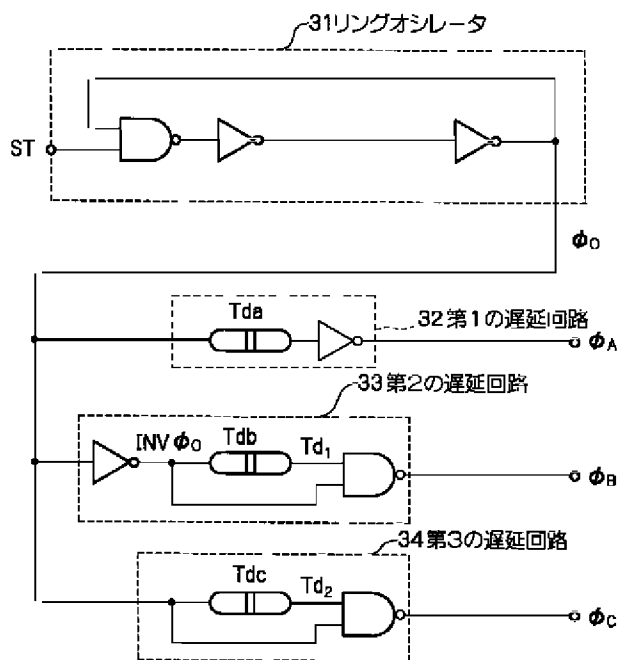
【図15】



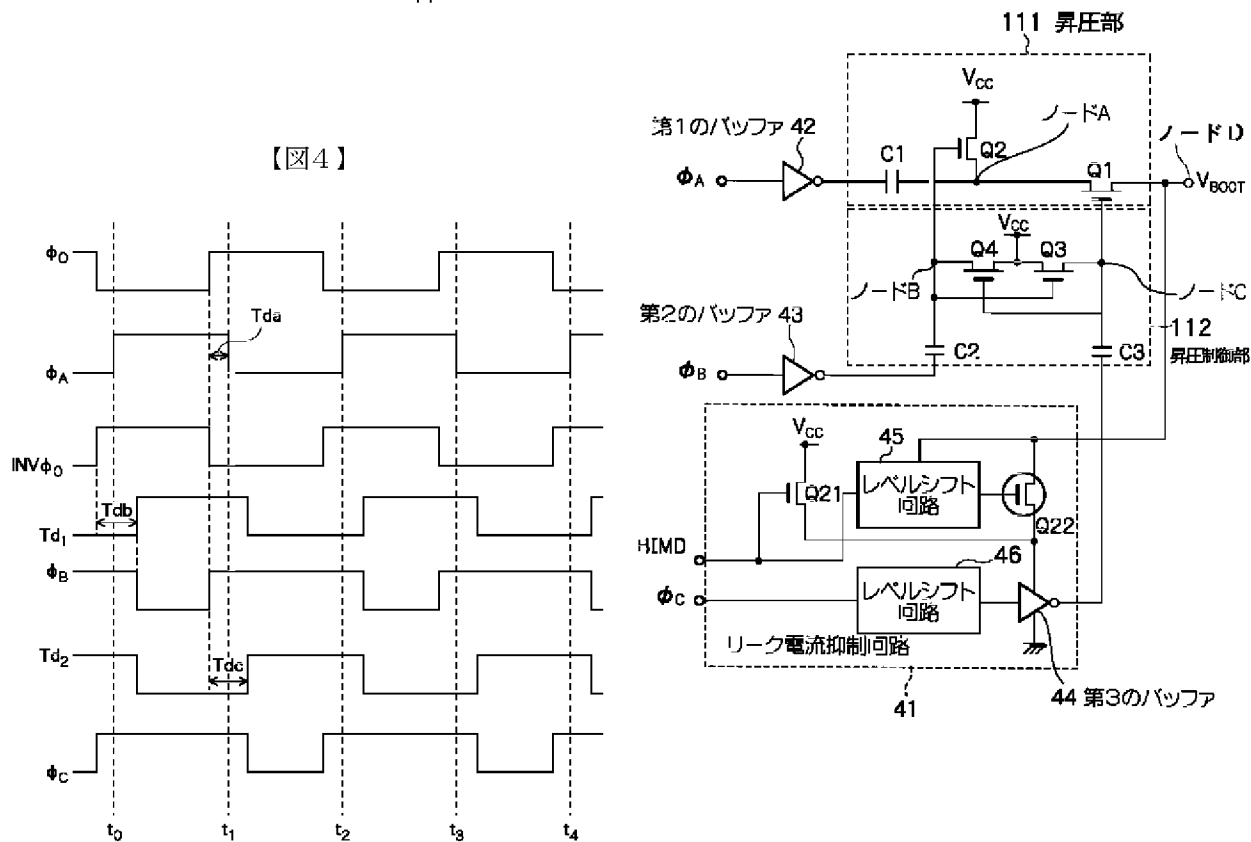
【図2】



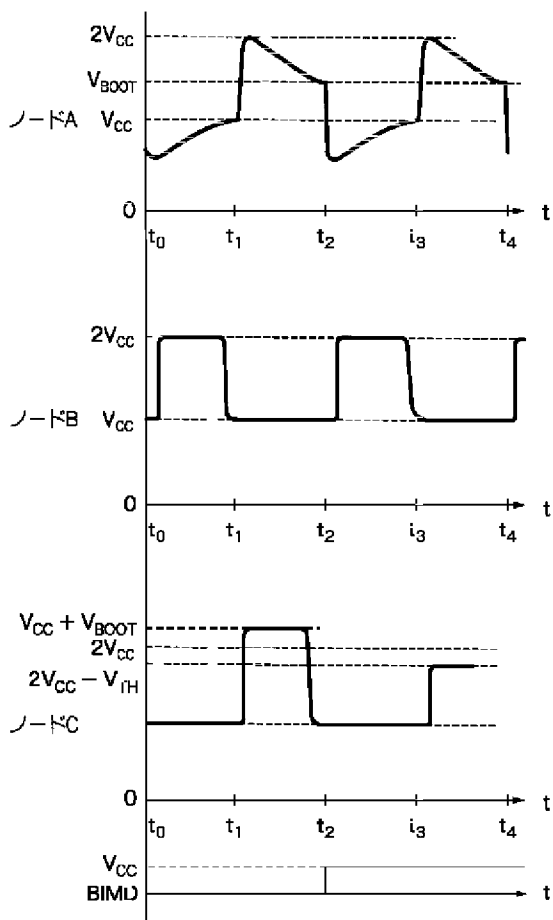
【図3】



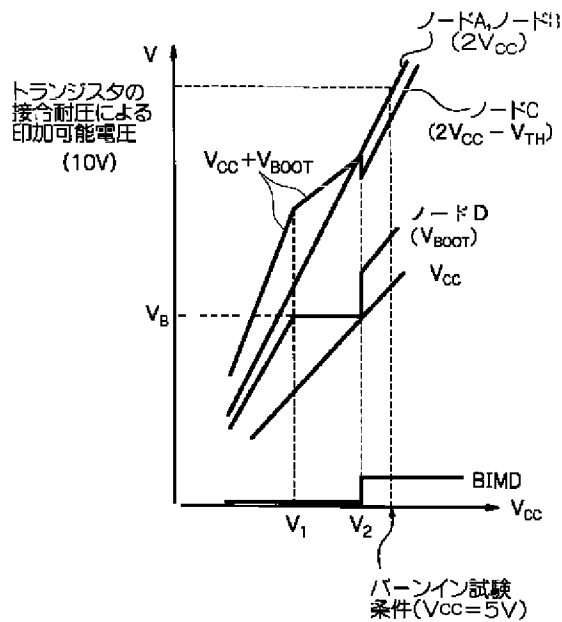
【図5】



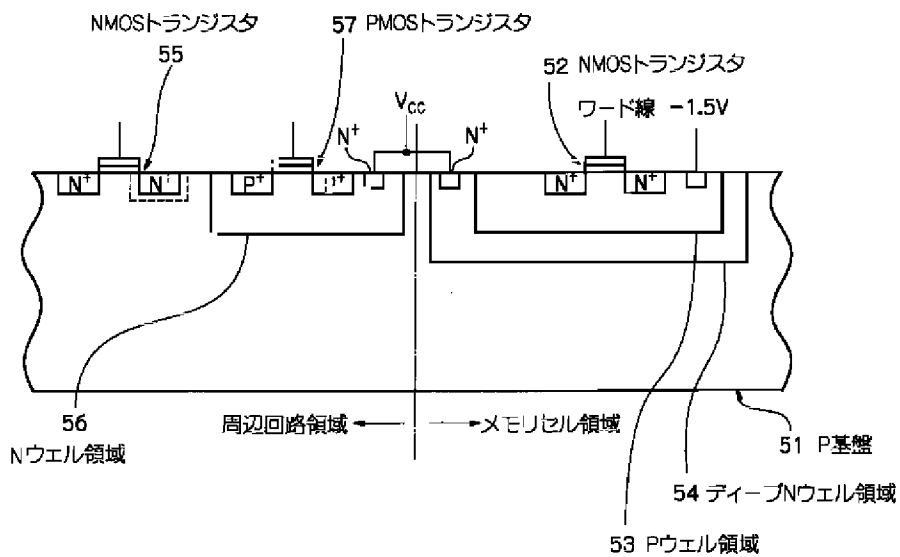
【図6】



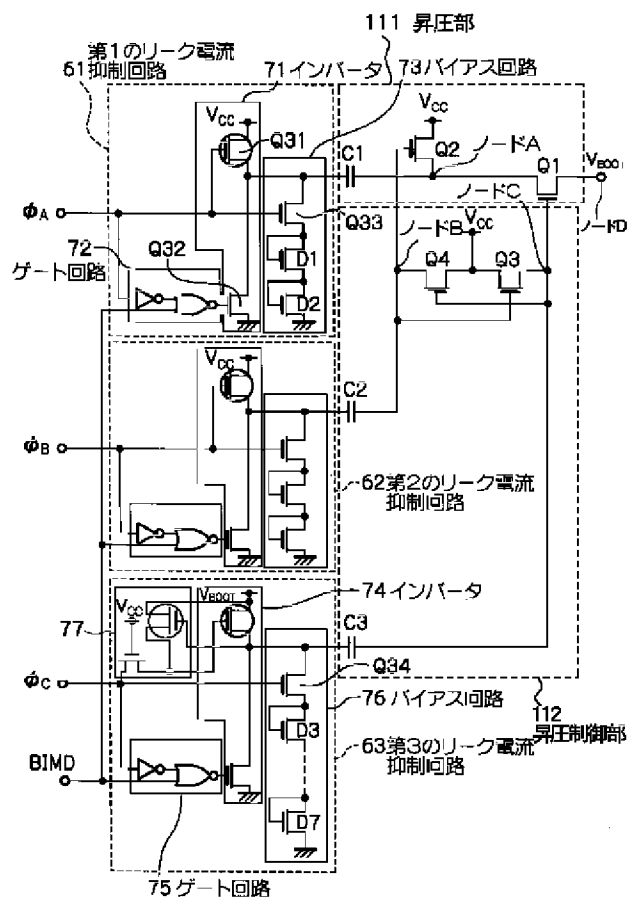
【図7】



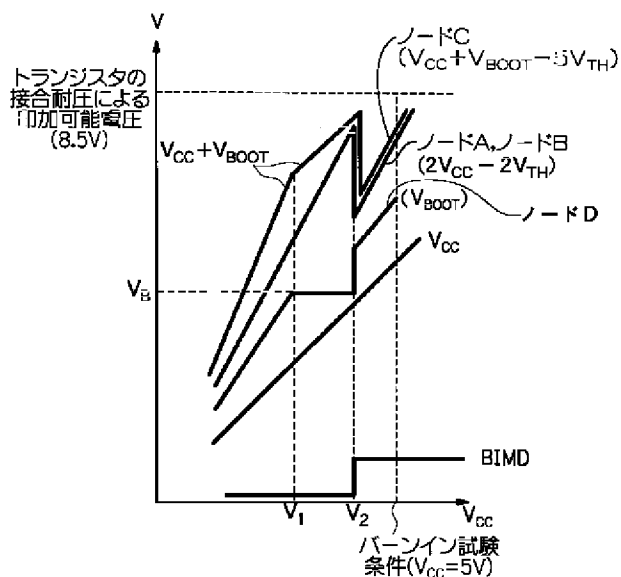
【図8】



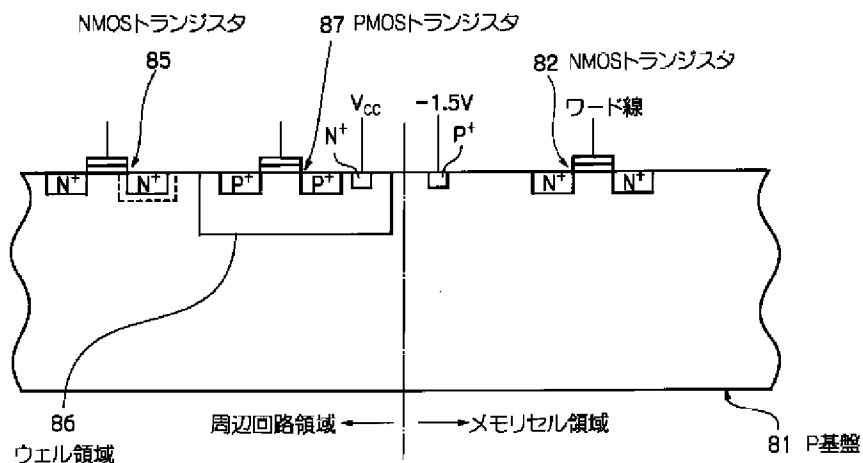
【图9】



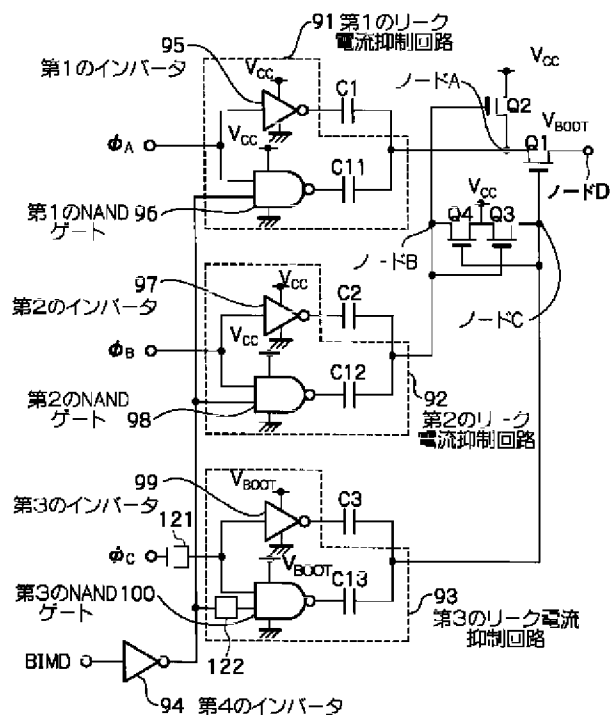
【例 11】



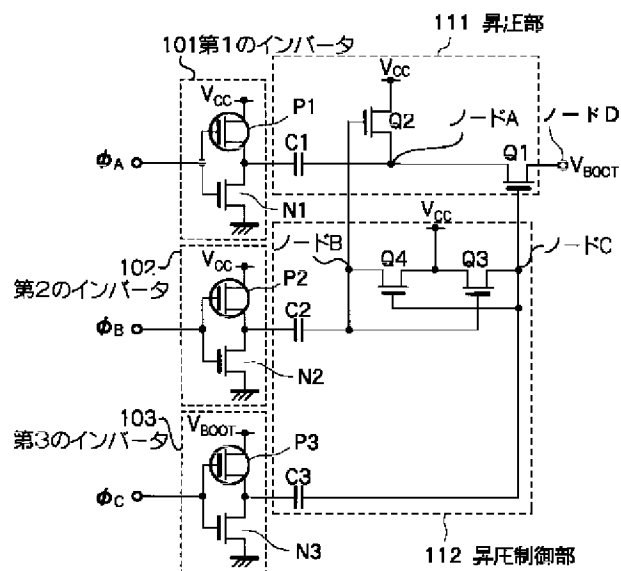
【义12】



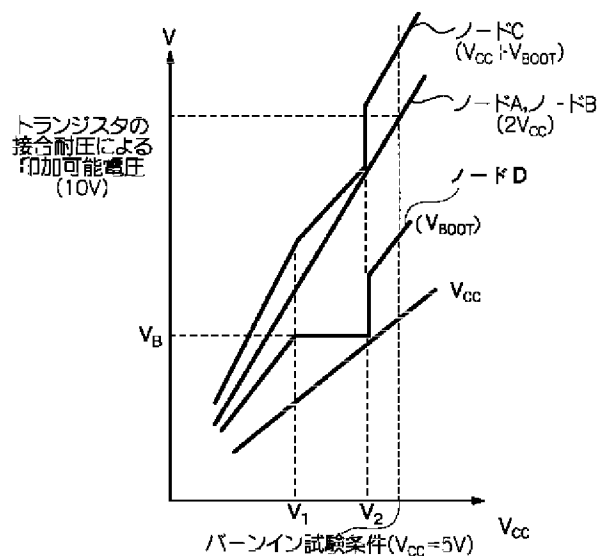
【例 13】



【图 14】



【例 16】



フロントページの続き

Fターム(参考) 5B024 AA01 AA15 BA13 BA21 BA23
BA27 CA10 CA21 EA01 EA04
5F083 AD00 GA06 LA05 LA08 ZA01
ZA20
5H730 AA14 AA15 BB02 BB57 DD04
FD01 FD11
5L106 AA01 DD11 DD36 GG05 GG06
GG07